

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-510981

(P2005-510981A)

(43) 公表日 平成17年4月21日(2005.4.21)

(51) Int. Cl.<sup>7</sup>  
HO4N 7/32F1  
HO4N 7/137Z  
5C059

テーマコード(参考)

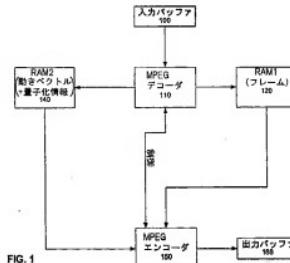
		審査請求 未請求 予備審査請求 未請求 (全 41 頁)
(21) 出願番号	特願2003-548547 (P2003-548547)	(71) 出願人 503357182
(86) (22) 出願日	平成14年11月7日 (2002.11.7)	ピクシス システムズ インコーポレイテ
(85) 翻訳文提出日	平成16年5月21日 (2004.5.21)	イド
(86) 國際出願番号	PCT/CA2002/001713	カナダ国、オンタリオ エム2シェイ 5
(87) 國際公開番号	W02003/047265	ピー5、トロント、スイート 1705,
(87) 國際公開日	平成15年6月5日 (2003.6.5)	シェバード アベニュー イースト 223
(31) 優先権主張番号	09/990,976	5
(32) 後元日	平成13年11月21日 (2001.11.21)	(74) 代理人 100099759
(33) 優先権主張國	米国(US)	弁理士 齊木 駿
		(74) 代理人 100092624
		弁理士 鶴田 単一
		(74) 代理人 100102819
		弁理士 島田 哲郎
		(74) 代理人 100119987
		弁理士 伊坪 公一

最終頁に続く

(54) 【発明の名称】複数チャネル・ビデオトランスコーディング・システムおよび方法

## (57) 【要約】

メディアチャネルを介して受信したビデオデータを処理するシステムと方法が開示される。この方法によれば、インデックステーブルを用いて、動きペクトルを含んで格納されたビデオデータを参照するので、トランスクーダのエンコーダおよびデコーダ部分により、ビデオデータを効率的にアクセスすることができる。ここで、デコーダはソースピクセル画像を生成し、エンコーダは、記憶された動きペクトルデータに基づいて、予測された動きペクトルを生成する。



**【特許請求の範囲】****【請求項 1】**

第1のインデックステーブルにアクセスするステップと、  
第1の復号画像を生成するために、ビデオデコーダにおいて、第1の順で第1の複数のマクロプロック情報にアクセスするステップであって、前記第1の順は、前記第1のインデックステーブルに基づき、前記第1の複数のマクロプロック情報はソースマクロプロックに関連しているステップと、

第1の予測されたデスティネーション動きベクトルを生成するために、第1の複数のマクロプロック情報にアクセスするステップと、

を有する方法であって、前記マクロプロック情報は、動きベクトルと量子化情報を含む方法。 10

**【請求項 2】**

さらに、前記第1の復号画像と前記予測されたデスティネーションマクロプロック情報とに基づいて、符号化デスティネーションビデオ画像を生成するステップを有する請求項1に記載の方法。

**【請求項 3】**

前記第1のインデックステーブルは複数項目を備え、複数項目のそれぞれは、ソースマクロプロックの位置を指示する値を保持するポインタ部と、デスティネーションマクロプロック部の最後は、複数項目の1項目が第1のデスティネーションマクロプロック情報に関連するリスト項目であるか否かを指示する値を保持するデスティネーションマクロプロックエンド部とを含む請求項1に記載の方法。 20

**【請求項 4】**

前記複数項目の各項目は所定のサイズをもつ請求項1に記載の方法。

**【請求項 5】**

前記各項目の所定のサイズは同一である請求項4に記載の方法。

**【請求項 6】**

前記複数項目の各項目は、前記第1の順を指示するために、複数項目中の他の各項目に関連して配置される請求項1に記載の方法。

**【請求項 7】**

さらに、第1のデスティネーションマクロプロックに対する第1の予測されたマクロプロック情報を生成するステップであって、前記第1のデスティネーションマクロプロック情報は、少なくとも第1の複数のマクロプロック情報に基づいており、前記第1のデスティネーションマクロプロックは、ソースマクロプロックに比較してダウンスケールされるステップを有する請求項1に記載の方法。 30

**【請求項 8】**

前記第1のインデックステーブルは複数の項目を含み、複数の項目のそれぞれは、ソースマクロプロック情報の位置を指示する値を保持するポインタ部と、複数の項目の1項目が、第1のデスティネーションマクロプロック情報に関連するリスト項目であるか否かを指示するデスティネーションマクロプロックエンド部とを含む請求項5に記載の方法。

**【請求項 9】**

前記複数項目の各項目は、前記第1の順を指示するために、複数項目の他の項目に関連して配置される請求項8に記載の方法。 40

**【請求項 10】**

前記複数項目の各項目は所定のサイズをもつ請求項9に記載の方法。

**【請求項 11】**

前記各項目の前記所定のサイズは同一である請求項10に記載の方法。

**【請求項 12】**

さらに、第2のインデックステーブルにアクセスするステップと、

第2の復号画像を生成するために、ビデオデコーダにおいて第2の順で、第1の複数のソースマクロプロック情報にアクセスするステップであって、前記第2の順は前記第2の 50

インデックステーブルに基づいて、前記第1の複数のソースマクロブロック情報をソースマクロブロックに関連しているステップと、

第2の予測されたデスティネーションマクロブロック情報を生成するために、第2の複数のソースマクロブロック情報にアクセスするステップと、

を有する請求項7に記載の方法。

【請求項13】

さらに、第1の予測されたデスティネーションベクトルに基づいて第1マクロブロックを生成し、第2の予測されたデスティネーションベクトルに基づいて第2のマクロブロックを生成するとともに、第1および第2のマクロブロックはリアルタイムで同時に表示されるステップを有する請求項10に記載の方法。

10

【請求項14】

第1の複数のソースマクロブロックの各ソースマクロブロックに対するビデオソースマクロブロック情報を記憶するステップと、

複数の項目をもち、ビデオソース解像度とビデオデスティネーション解像度とに基づくインデックステーブルを決定するステップであって、そこでは各マクロブロックに対する各ソースマクロブロック情報の位置が、インデックステーブルの対応する項目により参照されるステップと、

前記インデックステーブルを記憶するステップと、

を有する方法。

【請求項15】

20

さらに、ビデオトランスクーダーの一部により処理されるデータ命令パケットを決定するステップであって、データ命令パケットは前記インデックステーブルの位置を識別するステップを有する請求項14に記載の方法。

【請求項16】

前記ビデオトランスクーダーの一部は、ビデオエンコーダ部である請求項14に記載の方法。

【請求項17】

前記ビデオトランスクーダーの一部は、ビデオエンコーダ部である請求項14に記載の方法。

【請求項18】

前記ビデオトランスクーダーの一部は、ビデオエンコーダ部とビデオデコーダ部である請求項14に記載の方法。

30

【請求項19】

前記インデックステーブルの各項目は、共通のサイズをもつ請求項14に記載の方法。

【請求項20】

前記インデックステーブルは、デスティネーションマクロブロックに関連するインデックステーブルの一部を指示するためのマクロブロックエンド・インジケータを含む請求項14に記載の方法。

【請求項21】

前記マクロブロックエンド・インジケータは、インデックステーブルの項目のフィールド内に値として記憶される請求項20に記載の方法。

40

【請求項22】

ソースビデオデータを受信する第1の入力ポートと、

受信したソースビデオデータに対応するマクロブロック情報データを決定するために、前記第1の入力ポートと接続するコントローラ部であって、前記マクロブロック情報は動きベクトルと量子化情報を含むコントローラ部と、

前記ソースビデオデータに対応する複数のソースマクロブロック情報を保存するために、前記コントローラ部と接続する第1のメモリ制御部と、

デスティネーション画像のサイズインジケータを受信するため、および第1のデスティネーションソースベクトル生成するために使用される複数のソースマクロブロック情報の

50

第1の部分を識別するインデックステーブルを生成するために、接続されたインデックステーブル・ジェネレータであって、該インデックステーブルは、前記デスティネーション画像のサイズインジケータに基づいているインデックステーブル・ジェネレータと、  
を備えるシステム。

【請求項23】

さらに、インデックステーブル項目に基づいて、ソースマクロブロック情報を探索するために接続された第2のメモリ制御部と、

前記探索されたソースマクロブロック情報に基づいてデスティネーションベクトルを生成するために、第2のメモリ制御部に接続するエンコーダ部と、  
を備える請求項21に記載のシステム。

10

【請求項24】

前記インデックステーブル・ジェネレータは、汎用プロセッサコアを用いて実現される請求項21に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

(同時係属出願)

この出願は、代理人整理番号VIXS0100010をもつ、2001年3月27日に出願された米国特許出願第09/819,147号「ビデオストリームの圧縮装置および方法」、代理人整理番号VIXS0100010をもつ、2001年7月30日に出願された米国特許出願第09/917,967号「ビデオ処理方法および装置」、代理人整理番号VIXS0100010をもつ、2001年7月30日に出願された米国特許出願第09/918,384号「データアクセス方法および装置」、代理人整理番号VIXS0100090をもつ、2001年7月30日に出願された米国特許出願第09/818,380号「複数チャネル・ビデオトランシングシステムおよび方法」に関連する。

20

【0002】

本発明は、一般的にビデオストリームを処理するシステムに関し、具体的にはビデオ処理に用いられるデータを記憶するシステムおよび方法に関する。

【背景技術】

【0003】

アナログ放送システム用のアナログチューナは、受信したアナログメディアデータを非常に簡単な回路により復号することができるが、これとは異なり、動画ビデオのようなデジタルメディアデータは、デジタルメディアを再生するのに、一般にプロセッサの集中的な演算を必要とする。高品位テレビジョン(HDTV)の1920x1080フォーマットをサポートするために要求されるデータ送信レートのように、そのメディアストリームに適応するデータ量が比較的大きい場合、同時に存在する複数のデジタルメディアストリームを復号するための費用と取組みは法外なものとなる。この問題は現在では、フレーム間コンテンツの連続性を利用して、きわめて高压縮のデータを生成する圧縮スキームにより解決されている。動画専門家グループ(MPEG)は、圧縮を行なうために、フレーム間の画像ブロックについて動き予測を用いる方法を提案した。

30

【0004】

ビデオデータを圧縮するステップは、プロセッサおよびメモリ帯域を集中的に使用する。動き予測すなわち1つの圧縮ステップは、莫大な演算作業量を必要とし、利用可能な広い帯域量を使い尽くすことになる。通常の動き予測方法ではまず、1フレームの画像データが、複数のフラグメント又はブロックに細分割される。次いで、カレントフレームの画像のブロックの1つのフラグメント又はグループが、他の1以上のフレームのブロックの1以上のフラグメント又はグループに対して比較される。交代するフレームそれぞれのブロックの最適なフラグメント又はグループは、カレントフレームと同じ場所にないかもしれない。この場所は、1以上の交代するフレームとカレントフレームとでしばしば異なる。前のフレームに関するフラグメントの場所は、動きベクトルで表現される。各々の動き

40

50

ベクトルを構成するために、多数のフラグメントの組合せを考慮する必要のある、プロセッサとメモリ帯域を集中的に使用する複雑な探索アルゴリズムが、一般に使用されている。

#### 【0005】

きわめて高精細な、例えば1920x1080iフォーマットのようなデータでは、その圧縮ストリームのデータレートは、きわめて高い。このような高レートには少なくとも3つの問題がある。第一は、任意の時間にストリームを記憶あるいは保存するためには、きわめて高価になる莫大な記憶容量を必要とする。第二に、ストリームを見るために用いる表示装置は、高精細データストリームを表示することができないこかもしれないかもしない。第三に、複数の視聴すなわち受信装置をもつデータネットワークが存在する場合、通常そのネットワークは、固定帯域又は固定容量を有する。そのようなネットワークでは、複数の視聴装置を同時にサポートすることが物理的に不可能である。さらに、フレームのフラグメントすなわちマクロブロックを構築するために一般的に必要とされる動きベクトルが、多数存在する可能性がある。これがさらに、処理と帯域の問題に付け加わる。

#### 【0006】

したがって、ビデオストリームを処理する、改良されたシステムおよび方法が求められている。

#### 【0007】

##### 【図の詳細な説明】

本発明の少なくとも1つの実施形態によると、トランスコーディングシステムが提供される。このシステムは、デジタルビデオデータを受信し、パーシングされたビデオデータを提供する第1の汎用プロセッサを備える。さらに、このシステムは、パーシングされたビデオデータにアクセスするために、第1プロセッサに接続する第2プロセッサを備え、第2プロセッサはビデオトランスクーダを有する。図25～図29で開示する特定の実施形態では、動きベクトルデータおよび量子化情報は、メモリに記憶され、インデックステーブルを用いてアクセスされ、システムに用いるメモリ帯域を減少させる。本発明の利点は、メディアチャネルの受信およびトランスクードが効率的に実行できることである。さらに他の利点は、ビデオチャネルのリアルタイムの再生をより効率的にサポートすることである。

#### 【0008】

図1～図5には、複数のメディアチャネルをトランスクードするシステムおよび方法を示す。このシステムは、1以上のメディアチャネルをもつメディアデータストリームをパーシングする第1のプロセッサと、パーシングされたメディアチャネルを伸張し、スケーリングし、そして圧縮するベクトルプロセッサとを備える。1実施形態では、パーシングされたメディアチャネルは、デコード命令パケットにパケット化され、シーケンサを用いてベクトルプロセッサに送信される。ベクトルプロセッサは、デコード命令パケットを伸張し、パケットから生成されたマクロブロックをスケーリングし、スケーリングされた結果を圧縮する。この結果、スケーリングされ圧縮された出力は、メディアチャネルと関連の少ないデータをもち、より高速および／または高効率の記憶または送信を可能にする。

#### 【0009】

図1を参照すると、本発明の少なくとも1つの実施形態による、ビデオ処理システムの上位レベルの機能ブロック図が示されている。ビデオ処理システム110は、入力バッファ105を備え、これによりビデオ画像を表現するデータを受信し、MPEGデコーダ110に供給する。MPEGデコーダ110は、メモリ(RAM1～120)にフレームを伸張した、そのビデオ画像またはそのビデオ画像の必要ななら縮小した表現のいずれかを生成する。このとき、MPEGデコーダ110は、伸張処理から動きベクトルと量子化情報を得る。以下説明のために、各マクロブロックに関する動きベクトルと量子化情報の集合体をマクロブロック情報という。マクロブロック情報はメモリ(RAM2～140)に保存される。なお、マクロブロック情報は通常、標準MPEGデコーダを用いるメモリには保存されない。また、他の実施形態では、メモリ120とメモリ140とに、ダイナ

10

20

30

40

50

ミック・ランダムアクセスメモリ、スタティック・ダイナミックランダムアクセスメモリ、ハードディスク装置その他が含まれる。

#### 【0010】

MPEGエンコーダ150は、1実施形態では、通常のMPEG符号化の多くのステップを実行するが、演算負荷の大きな動き予測ステップは回避して、以前にRAM2140に保存された動きベクトルを探索する。周囲の動きベクトルのセットを検索し、新たな動きベクトルのセットを構築することによって、MPEGエンコーダ150は、従来の動きベクトル予測に必要である費用のかかる探索を回避できる。出力バッファ160は、ビットパケットを備え、ビットパケットは、データビットを計算した後、データを受信するように接続された装置への出力ポート、あるいはメモリなどの最終デスティネーションに出力する。

10

#### 【0011】

さらに、各ピクチャデータ内では、各マクロブロックに対する量子化情報は、マクロブロックごとの内容に依存して変化する。大きな量子化値を用いると、高压縮されたデータを生成して、その結果より小さなデータストリームを得ることができるが、各マクロブロック内のディテールを失うことになる。適切に符号化されたソースMPEG2ストリーム(受信データ)では、各マクロブロックからの量子化情報は最適化され、名称が「ビデオトランスコーディング」中のレート制御方法および装置」であり、本出願と同日に出願され、ここに参照として組み込まれる、整理番号VIXS.0100130をもつ係属中の特許出願に開示されているように、本発明に従って、この量子化情報を再利用できる。実際、より高品質なピクチャが、この量子化情報を再利用することで得られ、より細かなディテールを含む必要なあるマクロブロックに対してディテールを保持しながら、高压縮によりディテールを失ってもよいマクロブロックに対してより大きな量子化情報が可能となる。

20

#### 【0012】

図2には、トランスコーディング方法が、本発明の少なくとも1つの実施形態に従って記載されている。図2に示された特定の実施形態を参照すると、205～250の符号を付した要素は、デコーダ部分の機能を示し、要素225～295は、トランスコーダーのエンコーダ部分の機能を示す。なお、この例は、1/2×1/2の画像ダウンスケーリングを想定している。MPEG用語であるマクロブロックは、個々のピクチャ要素の16×16の行列である。MPEG用語のブロックは、個々のピクチャ要素の8×8の行列である。1/2×1/2にダウンスケーリングの場合、2×2のマクロブロックセットが、単一のマクロブロックを形成するように変換される。この1/2×1/2へのダウンスケール動作は一般に、最終結果がより小さなピットマップで表されるとともに、できる限り原画像の内容の多くを保持するように実行される。ダウンスケーリングは、理解されるように、ピクチャ要素の1グループがある手法で組合わされて、より少ない画素で構成される他のグループを生成することを意味する。1/2×1/2の縮小には、いくつかのオプションが利用できる。例えば、可能な1つは、ピクチャ要素を所定の方法で混合することである。しかしながら、当業者であれば理解できるように、それらを混合して同じ結果を与える方法、あるいは、混合しないでスケーリングする方法は多数存在している。

30

#### 【0013】

ステップ205では、復号されたマクロブロックが探索され、ビットバーシングされる。ステップ210では、特定のブロックについての情報を探索するために、例えばハフマンデコーダを用いて、可変長復号が実行される。これは、ランレベルまたはレンレンジングス復号であってもよい。探索された情報は一連のランレベル・シーケンスを含み、このそれぞれは、(ブロックとして知られる)8×8行列を表わし、そのランによって暗黙のうちに規定される連続する一連の零値をもつ。MPEG領域でランレベルというときには、そのランは、レベル内の値の繰り返しではなく、零の連続である。MPEGの場合、ブロックはジグザグに構築される。

40

#### 【0014】

復号の後、ステップ215で生成されたブロックの逆量子化の処理がなされる。これに

50

は、ブロックの要素に行列の要素をかけることが含まれている。当該技術分野で周知のとおり、逆量子化は量子化の逆であり、ここでは、固定定数の行列は、復号処理の開始時に探索され、または決定され、ストリームを復号するときにはほとんど変化しない。疎行列の各要素は、定数行列の対応する要素の定数値で乗算される、逆量子化処理の意義を理解するためには、1実施形態では、圧縮処理において、ブロックが、離散コサイン変換(DCT)ステップを通って、ピクチャブロックは周波数領域に変換されていることをまず理解する必要がある。ピクチャブロックのこの表現では、原ブロックは、(数値表現における制限による数学的丸めまでは)何らの損失もなく回復される。

#### 【0015】

周波数領域では、データブロックは、興味深い特性をもつ。人間の目に見える画像の外観を決定する主要な因子は、基本的に(行列の[0, 0]から始まる)左上の隅にあるブロック(行列)の項によって決定される。その項がブロックの右下へ移動していくと、再構成されるブロックについて、人間の目の視認性への影響が少なくなる傾向がある。符号化処理における量子化の目的は、この特性を利用することで、左上の隅の情報をできるかぎり多く保持しながら、右下傍後に位置する、等に近い項を零として扱うようにすることである。

#### 【0016】

ブロックが逆量子化された後、ステップ220で、逆離散コサイン変換(IDCT)方法をデータブロックに適用し、生の形のブロックを得る。ステップ205～220は、完全なマクロブロックを得るまで、マクロブロック決定終了ステップ225を通るループを介して進行する。MPEGにとって、このマクロブロックは、一般的に、Y(ルーマスなうち輝度)情報の4(2×2)ブロックと、Crの1ブロックと、およびCbの1ブロックとからなる。完全なマクロブロックが得られると、処理は、?動きベクトル復号検証ステップ230/?に進み、ここではマクロブロックに対する動きベクトルが決定されるか、識別される。あるマクロブロックは、1, 2, 4, または8のようなスケールファクタによってダウサンスケールされ、ステップ245で書き込まれる。

#### 【0017】

動きベクトルのセットがある場合には、動きベクトルはステップ235で、メモリ140(図1)のような記憶領域に保存される。ここには、このフレームを構築するために用いられたすべての元の動きベクトルを保持している。ステップ240では、動き補償を行い、新たなマクロブロックを構築する。それからステップ245で、この新たなマクロブロックはダウサンスケールされて出力する。

#### 【0018】

ステップ250で、そのフレームが終了したら、ステップ255で、フレームエンコーダを初期化し、ステップ260で、マクロブロックの符号化を開始する。現在のマクロブロックが、動きベクトルを持たない(ステップ265で判断される)場合、ステップ282で、復号処理の過程で生成され、ダウサンスケールされ伸張されたフレームから、マクロブロックが読み出され、ステップ284で、マクロブロックの各ブロックは離散コサイン変換を受ける。現在のマクロブロックが、動きベクトルを持つ(ステップ265で判断される)場合、隣接する動きベクトルの4セットが、ステップ270で記憶装置から検索され、ステップ275とステップ280とで、原画像フレームを構築するために用いられる。なお、本例では、1/2×1/2を用いている。他のスケールファクタに対してより多くの動きベクトルを検索することが要求されるかもしれない。例えば、1/3×1/3でスケーリングする場合、9個の動きベクトルが用いられる。また、スケーリングが2/5×2/5では、結果として生じる動きベクトルが生成される方法に応じて、4個から9個の動きベクトルが用いられる。

#### 【0019】

ステップ275では、新たな動きベクトルを複数の方法で構築することができる。1つの方法では、1/2の単純平均モジュロが、動きベクトルの4つのセットのそれぞれから

10

20

30

40

50

得られるベクトルの各成分に適用される。これに代る他の方法では、 $k$ 次の動きベクトルの各セットから最も頻繁に起こる動きベクトル ( $\Delta X_k$ ,  $\Delta Y_k$ ) が、任意のタイブレイク (breaking ties) 方法により選択される。1つのタイブレイク方法は、左上の動きベクトルに最も近い要素を選択することである。

#### 【0020】

ステップ 275 で、新たな動きベクトルが構築されると、ステップ 280 で、記憶された伸張画像フレームからマクロブロックを読み込み、逆動きベクトル補償の適用結果を含むデルタフレームを構築して、デルタマクロブロックを得る。この時点で、デルタマクロブロックは、ステップ 286 で、すべてについて離散コサイン変換 (DCT) を行なう (行列の要素ごとの整数算算を丸める) ユニットに送られる。ステップ 288 で、その結果である各ブロックの量子化行列表現は、可変長符号化され、圧縮結果は、ステップ 290 の出力符号化マクロブロックユニットに送られる。ステップ 295 では、フレームの復号終了を検出するまで処理は続行され、次いでデコーダーに次のフレームについて作業を開始する信号を送る。なお、ここでは動きベクトルの二重バッファリングを用いており、他の命令ストリームは待ち行列に入れて、エンコーダーとデコーダーの両ステップは、並列に動作している。

#### 【0021】

少なくとも 1 つの実施形態の特徴の 1 つは、動きベクトルがある場合には、ステップ 235 で、処理されたフレームを構築するために用いるすべての元の動きベクトルを保持している記憶領域に、動きベクトルが保存されることである。さらに、ステップ 275 で、記憶された動きベクトルを探索し、簡単な処理ステップを用いて新たな動きベクトルのセットを構築することによって、負荷が大きく費用のかかる演算を必要とする動き予測ステップを回避される。費用のかかる動き予測ステップを回避することにより、本発明は、よりいっそう費用対効果の優れた解決策を提供することができ、またこれにより動きベクトルを一から検索するシステムとほぼ同じ品質のトランスコーディングを実現できる。

#### 【0022】

図 3 には、圧縮ビデオ・トランスコーディングシステムが、本発明の他の実施形態に従って示されている。圧縮ビデオ・トランスコーディングシステム 300、以下トランスクーディングシステム 300 として言及するが、さまざまな実施例では、ビデオ処理システム 100 (図 1) のすべてを含むこともできるし、まったく含まれないようにもできる。トランスクーディングシステム 300 は、メディアソース 301 と、トランスクーディング装置 303 と、ホスト中央処理装置 (CPU) 305 と、バス/メモリ・コントローラ 307 (すなわち、ノースブリッジチップ) と、ホスト・ダイナミック・ランダムアクセスメモリ (DRAM) 309 と、システム入出力 (I/O) バス 315 と、ネットワーク・コントローラ 320 と、デバイスマモリ 390 を備える。

#### 【0023】

1 実施形態では、トランスクーディング装置 303 は、プロセッサ 330 と、ハフマン復号器 333 と、入力ビットパケット 335、メモリコントローラ 340 と、デコーダ命令パケット (DIP) シーケンサ 345 と、ビデオプロセッサ 350 と、システムダイレクトメモリアクセス (DMA) パスインターフェース 380 とを備える。少なくとも 1 つの実施形態では、プロセッサ 330 は、RISC プロセッサのような汎用プロセッサであり、他方 DIP シーケンサ 345 とビデオプロセッサ 350 は、特定の作業を効率的に扱えるよう最適化した専用データ処理装置である。1 実施形態では、ビデオプロセッサ 350 と、シーケンサ 345 と、プロセッサ 330 とは、半導体基板あるいはパッケージ基板のよう共通の基板に一体化されている。トランスクーディングシステム 300 は、本発明の精神または範囲から離れることなく、適宜付加的な素子を備えるようにできる。

#### 【0024】

少なくとも 1 つの実施形態では、メディアデータストリーム 310 は、1 以上のソース 301 からのデジタルメディアデータを表し、各ソースは、1 以上のメディアデータチャネルをもつ。メディアソース 301 は、メディアデータストリーム 320 の任意のソース

10

20

30

40

50

ス、例えばM P E G 再生装置や、ネットワークコントローラを介してトランスコーディングシステム3 0 0 に接続したデータサーバ等を含む。1 実施形態では、メディアデータストリーム3 1 0 は、バイト又はワードの形式で、システム3 0 3 に受信される。他の実施形態では、メディアデータストリーム3 1 0 は、システム3 3 0 によってバイト又は適切なワードのサイズに編成されたビットストリームであってもよい。適切なワード形式が与えられると、データはメモリコントローラ3 4 0 に送信される。1 実施形態では、メディアデータストリーム3 1 0 は、メモリコントローラ3 4 0 のクライアントとして扱われる。メディアデータストリームは、共用または専用の入力ピンのセットを介し、またはシステム1 / 0 パス3 1 5 を介して、メモリコントローラ3 4 0 に供給される。一般に、メモリコントローラ3 4 0 は、ラウンドロビン・スキームのような予め定められた優先順位スキームに基づいて、または後に図5を参照して詳しく説明する固定優先順位に基づいて、各クライアント間の調停を行なう。

#### 【0 0 2 5】

メディアデータストリーム3 1 0 からのデータは、デバイスマモリ3 9 0 に記憶される。デバイスマモリ3 9 0 には、フラッシュメモリ、ランダムアクセスメモリ、キャッシュ等を含む。データストリームが、デバイスマモリ3 9 0 に記憶されると、プロセッサ3 3 0 とビデオプロセッサ3 5 0 を含む複数のクライアントは、コントローラ3 4 0 を介してメモリ3 9 0 にアクセスすることができ、デバイスマモリ3 9 0 からのデータストリームにアクセスすることができる。これにより、システム3 0 3 はデータを並列に処理することができる。

#### 【0 0 2 6】

1 実施形態では、プロセッサ3 3 0 は、入力ビットパケット3 3 5 を中間準備段階として使用し、そこでは、メモリ3 9 0 に記憶されたデータに対するビットレベルアクセスを支援し、かつデータをバッファしてプロセッサ3 3 0 とメモリ3 9 0 に記憶されたデータとの間の待ち時間を減少させる。例えば、プロセッサ3 3 0 は、入力ビットパケット3 3 5 を用いて、可変範囲の任意のビットあるいは複数ビットを要求することができる。例えば、プロセッサは、アドレス位置のビット3 から始まるバイトあるいは適切なサイズのワードを要求することができる。戻り値は、プロセッサ3 3 0 に与えられる実際のデータの境界に整列するビット3 の値をもつことになる。

#### 【0 0 2 7】

1 実施形態では、プロセッサ3 3 0 は、M I P s プロセッサのような汎用プロセッサ、またはA S I C のような専用プロセッサである。汎用プロセッサは、ソフトウェアで特定される1以上の機能を果たすデータ処理装置である。なお、理解されるとおり、ソフトウェアはファームウェアを含む。1 実施形態では、プロセッサ3 3 0 は、受信したビデオデータにアクセスし、誤り訂正を行い、メディアデータストリーム3 1 0 のパーシングまたは復号のようなフィルタ処理によって、メディアデータストリーム3 1 0 を通じて受信する、所望のメディアデータチャネルに対するデコーダ命令パケット(D I P)生成する。D I Pは、特定の命令および/または制御情報を有して、D I Pシーケンサ2 2 0 とペクトルプロセッサ2 3 0 はこれを用いて、新たなマクロブロック生成する。D I Pは、いったん生成されると、メモリコントローラ3 4 0 によってデバイスマモリ3 9 0 に記憶される。他の実施形態では、誤り訂正、フィルタリング、またはパーシング機能の1以上のものが、トランスコーダ装置3 0 3 の他の構成要素により実行される。例えば、ビットストリームフィルタ(図示せず)を用いて、メモリメディアデータストリームが、メモリコントローラ3 4 0 によってデバイスマモリ3 9 0 に記憶される前に、メディアデータストリーム3 1 0 に関するフィルタリング処理を行うことができる。プロセッサ3 3 0 はまた、専用のハフマン復号器3 3 3 を用いて、ハフマン復号処理を行なうことができる。ハフマン復号器3 3 3 は、簡単な可変ビット・ルックアップテーブルを、ハードウェアあるいはソフトウェアに備えて、復号処理をスピードアップすることができる。

#### 【0 0 2 8】

D I Pシーケンサ3 4 5 は、ビデオプロセッサ3 5 0 に対する制御ユニットとして動作

10

20

30

40

50

する。実際 D I P シーケンサは、ビデオプロセッサ 3 5 0 の一部ともみなせる。シーケンサ 3 4 5 は、メモリコントローラ 3 4 0 のクライアントであり、メモリコントローラ 3 4 0 からデータを受信し、制御信号に従ってビデオプロセッサ（トランスコード）3 5 0 にデータを伝送する。

#### 【0029】

1 実施形態では、ビデオプロセッサ 3 5 0 は、ビデオトランスコードであり、D I P シーケンサ 3 4 5 から D I P と制御信号とを受信して、引き続きスループットを最大化するバイブルайн手法により、メディアの復号を実行する。少なくとも 1 つの実施形態では、ビデオプロセッサ 3 5 0 は、伸張ブロック 3 5 5 を用いて D I P を伸張する。伸張ブロック 3 5 5 からの出力データは、スケーラブロック 3 6 0 に伝送され、そこでは伸張されたビデオデータが、スケールファクタによってスケーリングされ、圧縮ブロック 3 6 5 に出力される。1 実施形態では、圧縮ブロック 3 6 5 は、スケーラブロック 3 6 0 の出力を圧縮してビデオフレームのような圧縮データを生成し、圧縮データを出力ビットパケットに送信する。出力ビットパケットでは、すべてのワードがメモリコントローラ 3 4 0 に記憶される準備ができるまで、圧縮ビデオデータを記憶する。ビデオプロセッサ 3 5 0 の特定の実施例は、図 4 を参照して詳細に説明する。

#### 【0030】

メモリコントローラ 3 4 0 は、ビデオプロセッサ 3 5 0 をクライアントとして扱い、出力ビットパケット 3 7 0 からそのデータを探索し、それをデバイスマモリ 3 9 0 に記憶する。いったん圧縮メディアの 1 フレームがビデオプロセッサ 3 5 0 から探し、デバイスマモリ 3 9 0 に記憶すると、それはシステム DMA バスインターフェース 3 8 0 によってアクセスされ、システム 1 / 0 バス 3 1 5 を用いてノースブリッジ 3 0 7 に送られる。次いで、ノースブリッジ 3 0 7 は、データをホスト D R A M 3 0 9 へ送る。1 実施形態では、ホスト D R A M 3 0 9 は、システムの他の個所に配信される最終メディアデータチャネルのストレージとして用いられる。1 実施形態では、ホストプロセッサ 3 0 5 は、最終メディアデータチャネルを、最終メディアデータチャネルの配信と放送を管理するネットワークコントローラ 3 2 0 にいつ送るかをスケジューリングする。1 実施形態では、ネットワークコントローラは、送信情報を表示するための複数の表示装置に接続される。なお、ノースブリッジ 3 0 7 は、ホスト C P U 3 0 5 をシステム（ホスト）メモリ 3 0 9 と I O パス 3 1 5 とにインタフェースするため、集積化またはマルチチップの手段を表す。

#### 【0031】

図 4 を参照すると、ビデオプロセッサ 3 5 0 の特定の実施例が、少なくとも 1 つの実施形態に従って示されている。ビデオプロセッサ 3 5 0 は、メディアデータストリーム 3 1 0 からバーシングされた（D I P の形式の）メディアデータチャネルを、伸張ブロック 3 5 5 を用いて伸張し、スケーラブロック 3 6 0 を用いて出力をスケーリングし、圧縮ブロック 3 6 5 を用いてスケーリングされた出力を圧縮するものである。本発明の 1 実施形態では、伸張ブロック 3 5 5 は、逆ジグザグ化／逆量子化ブロック 4 1 0 と、逆離散コサイン変換（I D C T）ブロック 4 2 0 と、動き補償 4 3 0 と、マクロブロックバッファ 4 4 0 を備え、他方、圧縮ブロック 3 6 5 は、バッファ付き動き予測ブロック 3 6 5 と、離散コサイン変換（D C T）ブロック 4 6 0 と、量子化／ジグザグ化ブロック 4 7 0 と、ハフマンエンコーダ 4 8 0 を備える。伸張ブロックおよび／または圧縮ブロック 3 6 5 の 1 以上の構成部品が個別に設けてよいことは明らかである。

#### 【0032】

先に説明したように、1 実施形態では、デコード命令パケット（D I P）は、メモリコントローラ 2 4 0 を通して D I P シーケンサ 3 4 5 によってデバイスマモリ 3 9 0（図 3）から探索される。この場合、D I P シーケンサ 3 4 5 は、D I P を適切な場所に供給できるような方法で、D I P をトランスコード 3 5 0 に転送する。例えば、シーケンサ 3 4 5 は、直接アドレス指定を行い、トランスコード 3 5 0 へのローカルバスを介してデータを供給することによって、個々のブロックにデータを供給することができる。またシーケンサ 3 4 5 は、トランスコード 3 5 0 のブロックによってアクセス可能なレジスタパック

ボーンに、コントロールおよび／またはデータ情報を書き込むことができる。通常のデータフローにおいては、シーケンサによって、逆ジグザグ化／逆量子化ブロック410がデータを探索可能である。

#### 【0033】

1実施形態では、メディアデータストリーム310を介して受信して、メモリ390に記憶される基本ストリームデータに基づいて、DIPシーケンサがDIPを探索する。少なくとも1つの実施形態では、メディアデータストリーム310(図3)は、1以上のMPEGビデオデータチャネル含むものである。この場合、ビデオチャネル圧縮のためのMPEGアルゴリズムは、アルゴリズム中に離散コサイン変換(DCT)の段階をもち、時間領域から周波数領域への変換を行なう。この変換の結果、DCT後、生成される行列の(0,0)である左上の要素に最も近い、周波数領域の要素は、その行列の右下の要素に比較して、より大きいくずみ付けされる。周波数領域の行列が、行列の下方の右半部における要素を表現するほど正確でなくともよければ、その行列の下方の右半部における要素の小さな値は、量子化ファクタに基づく閾値より小さい場合には零に変換される。量子化ファクタによって各要素を割るのは、より多くの零を得るために用いる方法である。MPEGおよび関連アルゴリズムはしばしば、大きな量子化値を用いて、周波数領域の行列の正確さを減少させ、その結果多くの零要素を得てデータ送信レートを減少させる。したがって、1実施形態では、逆ジグザグ化／逆量子化ブロック410は、メディアデータチャネルについてのDCT処理の結果を逆量子化する。

#### 【0034】

同様に、行列を表現する通常の方法は、(行、列)形式で行なわれるが、DCT作用の結果として得られる行列の顯著な性質は、DCT後の行列を表現する異なる方法に導く。1実施形態では、DCT後の行列は、ジグザグに、例えば、(1,1)、(2,1)、(1,2)、(1,3)、(2,2)、(3,1)、(4,1)、(3,2)、(2,3)等で表現される。この方法でDCT後の行列を表現することによって、DCT後の行列に比較的長い零の連続が起こりやすくなる。結果として、DCT後の行列は、(ラン、レベル)形式を用いてより効率的に表現されることができる。なお、ランは、連続する零の数を表し、レベルは、DCT後の行列の次の非零要素の値を表す。(ラン、レベル)ペアは、固定ハフマンテーブルを介して符号化され、DCT後の行列をさらに圧縮することができる。

#### 【0035】

1実施形態では、逆ジグザグ化／逆量子化ブロック410からの出力は、出力を周波数領域から時間領域へ変換する構成要素に送られるか、または異なる方法で利用される。例えば、(DIPにより表される)メディアデータストリーム310のパーシングチャネルが、前もって離散コサイン変換により処理されている場合、逆ジグザグ化／逆量子化ブロック410からの出力は、逆離散コサイン変換(IDCT)ブロック420に送られ、そこで逆離散コサイン変換機能を用いて、出力を周波数領域から時間領域へ変換し、データブロックを生成する。周波数領域と時間領域とを変換する他の変換方法も使用可能で、これも本発明の精神と範囲内に含まれる。IDCTブロック420で生成されたブロックは、マクロブロックバッファ430に記憶される。マクロブロックを形成するのに十分なブロックが生成すると、マクロブロックバッファ430は、(動きベクトルと量子化情報を含む)マクロブロック情報を従って、マクロブロックデータを動き補償回路440に送る。

#### 【0036】

1実施形態では、動き補償回路440は、図2のステップ240を参照して先に説明したように動作する。ここで、動き補償回路は、後の利用のためにマクロブロック情報を記憶する。これに代る実施形態では、記憶されるマクロブロック情報は、量子化情報を含む。動き補償回路440に送信されるマクロブロックが、参照フレーム(1フレーム)の一部であれば、動き補償回路440は、マクロブロックを復号し、デバイスマモリ390(図3)に復号結果と量子化情報を書き込む。参照フレームは一般に、動きベクト

10

20

30

40

50

ルから構成される必要がある他の非参照フレームを復号するために用いられる。

### 【0037】

1 実施形態では、動き補償回路440で生成されたマクロブロックは、スケーラブロック360に送られ、そこでマクロブロックは、スケールファクタを用いてスケーリングされる。例えば、マクロブロックがブロックの4×4行列を有し、スケールファクタ2を用いると、スケーリングの結果であるクロブロックは、ブロックの2×2行列を有することになる。スケーリングの結果であるマクロブロックは、パッファ付き動き予測回路450に送られ、圧縮処理を開始する。

### 【0038】

1 実施形態では、スケーリングされたマクロブロックが十分に生成され、新たなマクロブロックが形成されると、関連の記憶された動きベクトルが、パッファ付き動き予測回路440のような動きベクトル発生器によって処理され、動きベクトルの新たなセットを生成する。これに代る実施形態では、動きベクトルは従来の方法により、隣接フレームのマクロブロックに基づいて生成することができる。

### 【0039】

参照フレームは、1回に1ブロックをDCT460に転送する。DCT460は、各ブロックを得て、先に説明したように、例えば離散コサイン変換を実行することによって、データブロックを時間領域から周波数領域へ変換する。1実施形態では、マクロブロックが、イントラフレームまたはIフレームのようにそれに関連する動きベクトルをもたない場合、マクロブロックは、例えば内部データバスを用いて、動き予測回路450の処理を経ないで、スケーラ360からDCTブロック460へ直接転送される。

### 【0040】

1 実施形態では、DCT460による修正ブロック出力は、量子化／ジグザグ化ブロック470に送られ、そこでブロックは、(行、列)形式からラン・レベル符号化により適する形式に、量子化および／または変換あるいはジグザグ化される。量子化／ジグザグ化ブロック470からの量子化および／またはジグザグ化出力は、ハフマンエンコーダ480に転送され、そこで量子化／ジグザグ化ブロック470からの出力はコンパクト化または圧縮され、圧縮結果は、ビットストリームとして出力ビットパケット370に送られる。1実施形態では、出力ビットパケットは、わずかの待ち時間で任意のビット位置に、ビットレベルの方法でデータを記憶できる。例えば、出力ビットパケットは、パッファとして動作して、ハフマンエンコーダ480からのビットストリーム出力を計算し、効率的な方法でデバイスマトリオ390に書き込むことができる。

### 【0041】

トランスクオーディオ350はさらに、量子化器からのデータについてIDCTを実行するIDCT部475を備える。このデータは、動き予測回路450からのデータと組合わされ、損失のある圧縮の影響を修正するために記憶される。ある実施形態では、トランスクオーディオにより生成されたフレームが、他のフレームを形成するための基準フレームとして使用されるとき、損失のある圧縮に対する訂正が行なわれる。誤差の伝達は、損失のある圧縮を訂正するステップを設けることによって歯止めをかけることができ、その結果エンコーダ部分によって生成されるデータの正確さが増す。

### 【0042】

図5は、メモリコントローラ340の特定の1実施形態を示す。具体的には、図5は、特定のクライアントからの要求を受信する多数のクライアントインターフェースFIFO510～514(先入れ先出しメモリ)をもつメモリコントローラを示す。クライアントインターフェースFIFOはそれぞれ、特定のクライアントからデータアクセスのための要求を受信することができる。図示の実施形態では、書き込みデータは、多数の書き込みデータバスによりマルチブレクサ520で受信される。アービタ525は、保留されている書き込み要求のいずれがサービスを受けるべきかを判断し、適切な制御信号を供給して、対応する入力チャネルを受信するようにする。メモリシーケンサ530は、効率的に読み出し要求を管理する。例えば、メモリの1ページが開かれると、シーケンサは一般に、待ち時

10

20

30

40

50

間のオーバヘッドを減少させるために、同じページからの要求に応えようとする。デュアルデータレート（DDR）メモリのようなメモリとのインターフェースに加えて、シーケンサは、レジスタバス・クライアントインターフェースとインターフェースをとるレジスタファイリにアクセスすることができる。読み出しデータリターンバスは読み出しリターン制御部535に、アクセスされたデータを供給する。読み出しリターン制御部535は、読み出しどータバスに対してインターフェースをとって、多数のクライアントの1つに情報を返す。

#### 【0043】

図6を参照して、本発明の少なくとも1つの実施形態に従って、トランスコーディングシステム300を使用する方法を説明する。トランスコーディング方法600は、ステップ610からはじまる。ここではメディアデータストリーム310（図3）が、トランスコーダ装置303により受信あるいは送信される。先に説明したように、メディアデータストリーム310は、後の探索のためにデバイスマモリ390（図3）に記憶可能である。ステップ620では、プロセッサ330は、メディアデータストリーム310をパーシングし、所望のデータチャネル、例えばMPEG再生装置から送られるビデオデータチャネルを識別する。プロセッサ330はまた、ステップ620で、メディアデータストリーム310について他の処理、例えば誤り訂正、フィルタリング等の処理を行なう。

#### 【0044】

1実施形態では、ステップ630で、パーシングされたデータチャネルが、デコーダ命令パケット（DIP）の形でビデオプロセッサ350に送信される。ビデオプロセッサ350の伸張ブロック355は、先に図4を参照して説明したようにDIPを伸張する。ステップ640では、伸張ブロック355の出力は、スケーラブロック360（図3）でスケールファクタを用いてスケーリングされ、メディアデータストリーム310の所望のチャネルの要素に関連するデータ量を削減する。例えば、MPEGビデオチャネルのマクロブロックをスケーリングすることによって、各フレームを表現するために要するデータは少なくなる。ステップ650では、スケーラブロック360からのスケーリングされたデータ出力は、先に図4を参照して説明したように、圧縮ブロック365により圧縮される。圧縮ブロック365からの圧縮出力は、1以上の受信器ユニットに出力される。受信器ユニットには、各種のメディア装置、例えばビデオディスプレイ端末、オーディオ装置等を含む。

#### 【0045】

トランスコーディングシステム300によって行なわれる処理の結果、メディアデータストリーム310（図1）のチャネルはダウンスケールあるいは圧縮され、チャネルに関連するデータが減少する。例えば、ビデオプロセッサ350（図3）は、MPEGプレイヤからのビデオデータストリーム（メディアデータストリーム310）のチャネルをダウンスケールし、チャネルのフレームごとのデータを減少させる。このダウンスケールにより、ビデオデータチャネルは、ネットワークまたはその他の媒体を介して、より速くおよび／またはより効率的に送信される。1実施形態では、メディアデータストリーム310は、リアルタイム再生に用いる多数のビデオデータチャネルをもつ。この場合、1以上のビデオデータチャネルを個別にダウンスケールすることによって、より速くおよび／またはより効率的に送信され、ビデオチャネルのリアルタイム再生をサポートする。

#### 【0046】

明細書に開示する具体的な実施形態には、種々の改変および代替的な形態が可能である。図面および詳細な説明には、特定の実施形態が例として示されている。理解されるように、図面や詳細な説明は、開示した特定の形態に本発明を限定しようとするものではなく、これとは反対に、法が許す限り最大の範囲を意図するものである。本発明は、添付の請求の範囲およびその同等物によって規定されるとおりの本発明の精神と範囲内にあるすべての改変物、均等物、および代替物とに及ぶものである。例えば、図1に示されているシステムでは、デコーダ110とメモリ120、140との接続は、個別のバスを表してもよいし、共通のバスを表してもよい。同様に、エンコーダ150と出力バッファとの接続、およびデコーダと入力バッファとの接続は、同じ接続を表すものでもよいし、

10

20

30

40

50

異なる接続を表すものであってもよく、さらにメモリ 120, 140 の接続と共に通のものでもよい。本発明の他の実施形態では、エンコーダが動きベクトルを決定する通常の動作モードの 1 つが選択され、明細書に説明したような動きベクトル再利用モードが選択される。モードの選択は、一般に以前に保存したマクロブロック情報の利用性に基づいて行なわれる。なお、他の実施形態では、通常の動作モードでは、デコーダは動きベクトルを保存しないものである。

#### 【0047】

本発明の 1 つの実施形態は、おおむね図に示すように構成された 1 以上の処理システムのランダムアクセスメモリに存在するコンピュータ可読命令のセットとして存在する。処理システムによって要求されるまで、その命令セットは、他のコンピュータ可読メモリ、例えばハードディスクドライブまたはリムーバブルメモリに記憶しておくことができる。リムーバブルメモリには、例えば C D ドライブまたは D V D ドライブで使用される光学ディスク、あるいはフロッピーディスクドライブで使用されるフロッピーディスクがある。さらに命令セットは、他の画像処理システムのメモリに記憶され、ローカルエリアネットワークあるいはインターネットのようなワイドエリアネットワークを介して送信されることも可能である。ここで、送信信号は、I S D N ラインのような媒体を通じて伝播された信号でもよいし、空気媒体を通じて伝搬し、ローカル局で受信されて、処理システムに伝送されてもよい。そのような信号は、キャリア信号をもつコンボジット信号とすることもでき、本発明を実施する少なくとも 1 つのコンピュータプログラム命令を含む所望の情報がキャリア信号内に含まれていて、ユーザが求めるときにダウンロードするようにしてよい。当業者であれば理解できるように、命令セットの物理的な記憶および／または伝送は、電気的、磁気的あるいは化学的に情報を記憶し、コンピュータ可読情報を伝えるようにして媒体を物理的に変化させるものである。

10

20

#### 【0048】

データ命令パケット（D I P または「D I P パケット」）は、命令情報とデータとの双方を含むデータパケットである。図 7 は、D I P パケットの一例を示す。

#### 【0049】

図 7 に示す D I P は、ヘッダ部と、コンフィギュレーション部と、データ部とをもつ。D I P のヘッダは、O P コードとサイズインジケータを備える。D I P の O P コード部は、特定の D I P パケットに関連する命令または他の制御情報を示す。1 実施形態では、ヘッダのサイズ部は、D I P に関連してサイズペイロードが存在するか否かを示す。例えば、サイズ部は、D I P に関連するコンフィギュレーションまたはデータがなく、ヘッダのサイズのみを示す値をもつことがあり得る。他の実施形態によると、サイズ部の値が、D I P が D I P (E O D) インジケータの最後で終ることを示す。他の実施形態によると、サイズ部の値は、D I P のサイズがその後のバイトの数で指定されることを示す。例えば、サイズ部の値は、次の 2 バイトまたは 4 バイトが、D I P のサイズを特定する符号なしの整数を含むことを示すことができる。

30

#### 【0050】

D I P のコンフィギュレーション部は、その特定の O P コードに特定的に関連するコンフィギュレーション情報を含む。例えば、D I P は、ピクチャ制御情報が含まれていることを示す O P コードをもち、これによりコンフィギュレーション部は予め規定され、D I P デコーダが、予め規定された位置のコンフィギュレーション部から制御情報にアクセスすることができる。なお、D I P のコンフィギュレーション部は、実際の D I P によって決まるオプションである。また、コンフィギュレーション部は、上記したサイズペイロードデータを含んでいてもよい。

40

#### 【0051】

命令パケットのデータ部は、D I P パケットに関連するデータを含む。例えば、圧縮あるいは伸張されたビデオデータは、特定の D I P の一部として含まれる。なお、データ部の存在は、O P コードに基づいている。コンフィギュレーション部あるいはデータ部が利用できないモードでは、ヘッダ部が特定のオペレーションを指定して、コンフィギュレー

50

ションおよびオペレーションデータから独立して実行することができる。

#### 【0052】

ここで開示した特定のモードによると、DIPパケットは、ビデオデータが、受信されるデータ型に依存しないような方法で、基本のストリームデータのようなデジタルビデオデータをパケット化するために用いられる。したがって、MPEG標準のような特定のビデオ標準が将来変化しても、あるいは異なるデジタルビデオ標準がサポートされるよう求められる場合でも、DIPフォーマットは不变のまま、DIPを生成するのに用いられる手順が、受信したビデオデータに適合するように変化する。これにより、ハードウェアが特定のビデオ標準に依存しないように効率的に設計できる。

#### 【0053】

特定のDIP・OPコードの例として、DIPがビデオ・タイムスタンプ情報を含むことを示すDIP・OPコード、DIPがピクチャ構成情報を含むことを示すDIP・OPコード、DIPがスライスあるいはマクロブロック情報を含むことを示すDIP・OPコード、DIPがスケーリングされたマクロブロック情報を含むことを示すDIP・OPコード、DIPが量子化行列データを含むことを示すDIP・OPコード、最後のピクチャDIPが繰り返されることを示すDIP・OPコード、および特定のピクチャ位置、例えばスライス、フレームまたはマクロブロックの最後を示すDIP・OPコードの各々またはその任意の組合せが存在する。附加的なOPコードが他の機能をサポートするように含まれ得ること、OPコードを含む実際のDIPは一般に、記憶され、引き続き復号されることは明らかであろう。

#### 【0054】

図8に、DIPパケットを生成するために用いられるシステム300(図3)の一部をプロック図で示す。図8には、1実施形態では図3のプロセッサ330の一部に相当する、DIP発生器部710と、メモリデバイス390と、1実施形態ではDIPシーケンサ345の一部に相当する、データ入力コントローラ715とを含む。図示の構成要素は、他の実施形態では図示のものとは異なるハードウェアあるいはソフトウェアで実施され得ることは明らかであろう。

#### 【0055】

DIP発生器710は、基本ストリーム読み取り器712と、データ命令発生器711と、ボイント制御部713を備える。1実施形態では、各要素711～713は、個々のソフトウェアモジュールとデータをやりとりする入出力ポートの組合せをもつ汎用プロセッサ上のソフトウェアで実現できる。他の実施形態では、各要素711～713は、お互いに素子同士を接続する入出力ポートをもつハードウェアで実現することもできる。

#### 【0056】

メモリ390は、基本ストリームデータ391と、DIPデータ392と、DIPボイントデータ393とを記憶する部分を備える。

#### 【0057】

動作としては、基本ストリーム読み取り器712が、メモリ部391から、基本ストリームデータまたは他のビデオデータを受信する。1実施形態では、まず基本ストリームデータ391を、図3に示すようにメディアソース301から受信し、メモリ部390に記憶する。一般に、このデータは、ビデオ画像を表す基本ストリームデータとして記憶される。図3を参照して説明したように、データは、メモリコントローラに対するクライアント要求の結果として受信される。基本ストリーム読み取り器は、ビデオデータを受信して、データ命令パケット発生器711によってパケット化する。データ命令パケット発生器は、実際のDIPを生成する。このDIPには、図3のビデオプロセッサ部350のこの後の制御と動作に必要な命令およびデータを含む。

#### 【0058】

ビデオプロセッサ350による使用のためにビデオデータをパケット化するのに加えて、データ命令パケット発生器は、ビデオプロセッサ350を設定するためのDIPを生成する。1実施形態では、データの各マクロブロックは、单一のDIPとして記憶される。

10

20

30

40

50

他の実施形態では、複数のマクロブロックが単一のDIPに関連する。例えば、スライスデータの全体が単一のDIPの一部として送信されてもよい。同様に、任意の数の各種のDIPがビデオ情報を送信するために実現可能であることは明らかであろう。

#### 【0059】

特定のDIPが、データ命令パケット発生器711によって生成されると、メモリ390の一部であるDIP記憶部392に書き戻される。DIP記憶部392には、揮発性メモリまたは不揮発性メモリ例えばハードディスクが使用できるのは明らかである。1実施形態では、DIP記憶部392は、巡回バッファとすることができ、この巡回バッファは、ビデオプロセッサによりアクセスされるフレームバッファに関連する。一般に、基本ストリーム読取り器712による基本ストリームデータへのアクセスとDIPの生成とは、生成される画像の表示に関連してリアルタイムで行われる。DIPデータがメモリ領域392に記憶されると、データ入力コントローラ715は、後に説明するように、DIPデータを受信してDIPデコーダに供給する。

#### 【0060】

本発明の特定の実施形態によると、ポインタ制御部713は、新たなDIPが生成する時を監視し、そのDIPに対するポインタを記憶領域393に記憶する。DIPポインタデータを用いることは、後に詳細に説明する。

#### 【0061】

図9には、装置303(図3)の一部の詳細とデバイスマモリ390を示す。具体的には、図9は、メモリコントローラ340と、DIPシーケンサ345と、ビデオプロセッサ350と、キャッシュメモリ341とを示す。図9に示すDIPシーケンサはさらに、図8のデータ入力コントローラに相当するDIP入力制御モジュール346と、DIPデコーダモジュール747と、DIP出力制御モジュール348とを備える。DIPシーケンサは、ビデオプロセッサ350に接続されている。

#### 【0062】

ビデオプロセッサ350は、スケーラブロック360に関連する付加的細部をも含む。具体的には、スケーラブロック360はさらに、スケールバッファ351とスケールエンジン352とを含む。DIPシーケンサ345は、メモリコントローラ340に接続され、メモリコントローラ340は、同様にデバイスマモリ390のような1以上のメモリデバイスに接続される。なお、図示のキャッシュメモリ341は、メモリ390に記憶されるデータを含むことができる。

#### 【0063】

動作においては、DIPシーケンサ345の入力制御モジュール346は、メモリコントローラ340を通じて特定のDIP情報を受信する。1実施形態では、DIP入力制御モジュールは、メモリコントローラ340に対するクライアント読み出し要求に従う。メモリコントローラ340は、キャッシュメモリ341またはデバイスマモリ390のいずれかを介してDIPを受信する。要求したDIPを受信すると、デコーダ347は、DIPパケットのOPコード部に基づいて動作する。1実施形態では、DIPデコーダモジュール347は、各DIP・OPコードと関連するマイクロコードを含む。特定のOPコードをに基づいて、DIPシーケンサ345は、DIP出力制御モジュール348を介して、ビデオプロセッサ部350とインターフェースをとる。

#### 【0064】

例えば、特定のDIP中のOPコードが、含まれているピクチャ・コンフィギュレーション・データを示している場合、特定の情報でそれをコンフィギュレーションするために、DIPデコーダモジュール347は、ビデオプロセッサ350の適切なレジスタに書き込む機能を、ハードウェアまたはソフトウェアを用いて実行する。例えば、ソースピクチャサイズと、DIPパケットの一部を含むターゲットピクチャサイズとに関連する情報のような特定のスケール情報が、スケールエンジン352の機能を制御する1以上のレジスタに記憶可能である。

#### 【0065】

10

20

30

40

50

図10～14は特に、特定の実施形態において、ビデオプロセッサ350を用いるスケーリングプロセスのDIPの使用に関連する。

#### 【0066】

ここに開示する1実施形態では、DIPシーケンサが、デバイスマトリ390に記憶されたDIPにアクセスし、マクロブロックを表す情報をビデオプロセッサ350に供給する。一般に、トランスクーダ350に供給されるDIPデータは、ビデオのマクロブロックを表す圧縮データである。ビデオプロセッサ350にデータを供給することによって、適切な伸張情報を従って、ビデオプロセッサは、データを伸張し、伸張マクロブロックデータを抽出する。説明として、圧縮されていないマクロバッファデータがスケールバッファ351に記憶される前に、ビデオプロセッサ350によって実行される、いくつかの伸張方法があり得ることは理解されるであろう。しかしながら、以下説明のために、DIPシーケンサが、スケールバッファにマクロブロックデータを供給することが述べられる。さらに理解すべきであるのは、本開示の他の実施形態では、DIPシーケンサは、ビデオプロセッサによって行われる伸張機能のいくつかあるいはすべてを実行することができるることである。

#### 【0067】

スケールブロック360のスケールバッファ351に、マクロブロックが記憶されると、スケールエンジン352が、スケールバッファ351に記憶されたマクロブロックにアクセスして、スケーリングされたマクロブロックを供給し、スケールエンジンは、従来のスケーリング方法、あるいは本明細書に開示するスケーリング方法を用いて、スケーリングされた画像を生成する。本発明をより容易に理解するために、画像フレームに対するマクロブロックの関係を示す図10を参照するとよい。

#### 【0068】

図10は、マクロブロックM(0, 0)からM(n, m)を含むビデオフレームを示す。説明のために、図10のマクロブロックは、フレームデータを表すように記載されているが、他の実施形態では、図10のマクロブロックは、フィールドデータ、またはフレームあるいはフィールドの一部のみを表していてもよい。

#### 【0069】

図10のフレームは、特定の解像度に閲過している。例えば、図10のフレームは、1920画素×1080画素の解像度をもつソースフレームを考慮している。各マクロブロックは、フレームの16画素×16画素部分を表すので、1フレームを表すために用いられるマクロブロックの数は、フレームの解像度に依存する。なお、マクロブロックという用語は、特定の意味をもつ一方、説明および／または実施のために、本発明の他の実施形態では、従来のマクロブロックとは異なるブロックサイズが使用されることもある。

#### 【0070】

動作においては、図10に示すフレームのマクロブロックは、スケールバッファ351に記憶され、その後スケールエンジン352によりアクセスされ、スケーリングされた画像を表すデスティネーション・マクロブロックを生成する。例えば、1920×1080よりも少ない、例えば1280×720の解像度のデスティネーション画像を生成するためには、スケールエンジン352が、複数のソースマクロブロックにアクセスする必要がある。図10に示すように、行がDM0で列がDMC0で表される、新たなマクロブロックDM(DMR0, DMC0)を生成するために、4つのマクロブロックが必要である。言い換れば、画像がダウンスケールされる場合、单一のデスティネーション画像は2以上のソースブロックから生成されるということである。

#### 【0071】

スケールエンジン352が効率的にスケーリングを行うために、ソースマクロブロックは、スケールバッファ351を通じてスケールエンジン352に利用されることになる。ここに開示する特定の実施形態では、これは、マクロブロックの第1のセット、例えばデータの1つのスライス(すなわち、マクロブロックの第1行(0, 0)から(n, 0))あるいは第1の複数のスライスを取り込むことによって行われる。新たなデスティネーシ

ヨンスライスは、D M R 0で区切られる水平データを含む新たな行あるいはマクロブロックを生成する。したがって、ソースマクロブロックの単一スライスは、新たなスライスを表すために用いる、デスティネーションマクロブロックを生成するのに十分な、マクロブロックデータを含んでいない。ここに開示する特定の実施形態では、マクロブロックの行の一部のみがまた取り込まれる。例えば、デスティネーション・マクロブロック D M (D M R 0, D M C 0) を生成するためには、マクロブロックの第2行 M (x, 1) のソースマクロブロック M (0, 1) と M (1, 1) が必要である。この特定の実施形態は、公知の方法を超える効率を提供できる。すなわち、デスティネーションブロックが、ビデオデータのすべてのスライスをスケールバッファに記憶することなく、生成されるので、スケールバッファのサイズを減少させることができる。

## 【0072】

いったんデスティネーション・マクロブロックが生成すると、次のデスティネーション・マクロブロックを生成するのに、ソースマクロブロックを必要としない。なお、この実施形態では、スケールバッファのサイズは、具体化された実際のスケールファクタにより決定されるか、あるいは具体化の可能性のあるスケールファクタの最大値によって決定される。例えば、図10を参照すると、指示されたデスティネーション・ブロックサイズに対して、デスティネーション・マクロブロック (M (D M R 1, D M C 1) を参照) を生成するに、9個のソースマクロブロックと同数のものが必要とされる。この実施形態では、スケールバッファは、2個のスライスに加えて、第3のスライスの3倍の付加的なマクロブロックを格納する必要がある。付加的なバッファリングを提供して、スケールエンジン352をストップさせないことが望まれる場合には、第3のスライスのより大きな部分を含むことになる。

## 【0073】

この実施形態の1つの利点は、ソースマクロブロックが、例えば走査順序に関連して順次記憶されるので、マクロブロックを表すD I Pパケットが順次アクセスされることである。図11は、アドレス空間に順次に直接記憶された各マクロブロックに対するD I Pパケットを示す。ここに開示する特定の実施形態によると、各D I Pパケットは異なるサイズをもつことがある。D I Pパケットに順次アクセスすることによって、あるパケットが始まり、他のパケットが終了する箇所を、D I Pシーケンサが判定することができる。したがって、マクロブロックの特定のスライスに関連するすべてのD I Pパケットを、メモリ390に順次記憶することにより、隣接するマクロブロックを、メモリ391から順次アクセスすることができる。

## 【0074】

図12は、フレームメモリでも、キャッシュメモリでもよいメモリデバイス390の一部に記憶される、D I Pデータ391を示す。メモリ表示391に示すとおり、D I P (0, 0) からD I P (n, m)までのメモリに、D I Pデータ391が順次記憶される。1実施形態では、連続するD I Pのそれぞれの位置は、カレントのD I Pが読み込まれた後にのみ識別可能となる。一般に、これは、リニアなメモリ空間に関連して、お互いに直接隣接する位置にD I Pを記憶することによって達成される。スケールバッファ352に記憶されるデータを示すメモリ表示352は、D I Pデータ391から生成されるマクロブロックデータを表している。なお、図12には、第1のスライスに関連したマクロブロックと、マクロブロック M (0, 1) からマクロブロック M (3, 1) が記憶されていることが示されている。これは、デスティネーション・マクロブロック M (D M R 0, D M C 0) を生成するのに必要なマクロブロックの数より多いが、これにより、スケールエンジン352がストップしないことを保証するための付加的情報を記憶することができる。明らかなるように、付加的なスケールバッファサイズは、本発明の設計事項である待ち時間に依存して選ばれる。

## 【0075】

図13、14は、本発明の他の実施形態を示す。これによれば、次のデスティネーション・マクロブロックを生成するために必要なソースマクロブロックのみを記憶することに

10

20

30

40

50

よって、より小さなサイズのスケールバッファ 351 を使用できる。図 9 のシステムにあっては、特定のデスティネーション・マクロブロックを復号するためには、走査列に関して順番に並んでいない特定の DIP にアクセスする必要があることは明らかである。図 13 は、特定のシーケンス 353 に記憶された DIP データを示し、特定の DIP の位置を識別するポイントを示す。図 14 にさらに示すように、特定のマクロブロックを表す個々の DIP に対するポイントは、メモリ 390 の DIP ポイントテーブル部に記憶される。

#### 【0076】

1 実施形態では、ポイント値は、各ポイント間に公知のスペースを設けて、DIP ポイント部に記憶される。例えば、ポイント値は、直接隣接するワードで記憶することができる。公知の、または予め計算可能な位置に記憶されたポイントをもつことにより、生成される予定のデスティネーション・マクロブロックに基づいて、DIP 入力制御モジュール 346 が、特定の DIP にアクセスすることができる。順に並んでいない DIP へアクセス可能であることは、公知技術および先に説明した方法以上の利点であり、特定のデスティネーションマクロブロックを生成するために、スケールエンジン 352 が必要とするソースマクロブロックを格納するだけでよいので、縮小したサイズのスケールバッファを実現することができる。したがって、DIP 入力制御モジュール 346 が、所望のデスティネーション・マクロブロックを生成するのに必要なだけのソース DIP にアクセスすることができる。例えば、図 14 を参照して、マクロブロック M(0, 0), M(1, 0), M(1, 0), M(2, 0) に関連する DIP のみにアクセスして、デスティネーションマクロブロック M(DMR0, DMC0) を生成することができる。

10

#### 【0077】

ここに開示する 1 実施形態では、ソース DIP は、実際の走査順にメモリ 390 内に記憶される。他の実施形態では、ソース DIP パケットは、スケーリング順のような予想されるアクセス順に記憶される。スケーリング順という用語は、特定の順のデスティネーション・マクロブロックの生成に供するようにアクセスするために、ソースマクロブロックが必要とする順序を示すために用いられる。例えば、マクロブロックの走査順の列が、マクロブロックの各行を横切って左から右へ、最上位の列から始めて最下位の列に進むのに対して、スケーリング順の列は、デスティネーション・マクロブロックが生成される順に基づいている。したがって、生成されるデスティネーション・マクロブロックの順は、M(DMR0, DMC0) に続いて M(DMR0, DMC1) であり、走査列の 1 例では、ソースマクロブロックを次の順: M(0, 0), M(1, 0), M(0, 1), M(1, 1), M(2, 0), M(3, 0), M(2, 1), M(3, 1) でアクセスすることになる。なお、ここで、マクロブロック M(0, 0) と M(1, 0) は、マクロブロック M(DMR0, DMC1) を生成するときだけ使用されるので、必要がなくなれば、次のマクロブロックによって書き換えられることができる。

30

#### 【0078】

ポイントテーブルが保持され、連続する DIP が記憶される場所を示すので、DIP 自体がメモリに記憶される実際の順序は、DIP が記憶されている場所を知るためにそれほど重要ではない。しかしながら、他の実施形態では、DIP は、走査アクセス順とは逆に、スケーリングアクセス順に記憶され、連続的にすぐにアクセスすべきデータが、メモリの共通のページに記憶される可能性を大きくして、メモリからの DIP データへアクセスに関連する待ち時間を減らすことができる。同様に、DIP ポイントが保存される実際の順序は、スケーリングの順序あるいは走査順とは異なる順序に基づくことができる。この場合、ポイント自体は、例えば走査アクセス順に関連して連続的な DIP をアクセスするように記憶され得る。

40

#### 【0079】

図 15 ~ 18 は、本開示による特定の方法を示す。図 15 は、本開示による特定の情報記憶方法を示し、ステップ 810 では、マクロブロックの第 1 のセットがスケールバッファに記憶される。1 実施形態では、マクロブロックの第 1 セットは、特定のピクチャフレームに間連するビデオ情報の 1 以上のスライスを含む。1 以上の全スライスに間連するマ

50

クロプロックを記憶することにより、それぞれ隣接して記憶されたDIPの最初と最後を判定可能にする。

#### 【0080】

ステップ811では、マクロプロックデータの第2のセットがスケールバッファに記憶される。マクロプロックデータの第2セットは、フレームデータのスライスの一部を表す。先に説明したように、1実施形態では、第2のセットのデータは、新たにスケーリングされるマクロプロックのセットの生成を開始するのに必要なビデオスライスのマクロプロックを含む。

#### 【0081】

図16には、本開示の特定の実施形態による他の方法を示す。図16の方法は、図15を参照して説明したステップ810とステップ811を含む。ステップ812では、付加的なマクロプロックが、スケールバッファに記憶される。例えば、ステップ810と811は、新たなデスタイルーションマクロプロックのスケーリングを開始することを可能にするソースマクロプロックのみを記憶するのに対し、付加的なソースマクロプロックをスケールバッファに記憶することにより、スケーリングエンジン352が行き詰まることなく、付加的なマクロプロックを生成することができる。例えば、単一の新たなデスタイルーションマクロプロック生成するために必要な第2セットのマクロプロックの最大値が、3である場合、ステップ812では、十分な付加的マクロプロック（すなわち6個のマクロプロック）を記憶して、スケールバッファが常に十分な情報を有して、中断することなくスケーリングされたマクロプロックの生成を進めることができることを保証することができる。

#### 【0082】

ステップ813では、図16の方法によりフレームバッファと関連するすべてのマクロプロックを、スケールバッファに記憶したか否かが判定される。すべてのマクロプロックが記憶されたなら、このフローは終了する。フレームのすべてのマクロプロックがまだ記憶されていないなら、フローはステップ814に進み、次のマクロプロックがフレームバッファに記憶される。ステップ814で次のマクロプロックを記憶すると、もはや使用されない前のマクロプロックを上書きすることができる。図16の方法は、1以上の全スライスデータおよび次のスライスデータの一部を記憶し、全ビデオスライスを記憶することを避ける方法を示す。さらに、図16の方法は、ポインタテーブルを用いないで、走査順に記憶したDIPの使用を容易にする。

#### 【0083】

図17の方法は、概して図16の方法と類似している。ステップ818とステップ814では、スケールバッファに最初のマクロプロックを取り込む。続いて、ステップ820で、新たなマクロプロックが、記憶された情報に基づいて生成される。新たなマクロプロックが生成されると、フローはステップ830に進み、フレームバッファが完成したか否かを判定する。完成していない場合、フローはステップ835に進み、次のマクロプロックが取り込まれ、フローはステップ820に戻り、新たなマクロプロックを生成する。このループは、全フレームが生成されるまで繰り返される。

#### 【0084】

図18には、本開示の他の実施形態によるDIPを生成する方法を示す。ステップ860で、フレームの第1のマクロプロックが、カレントマクロプロックとして識別される。一般に、フレームの第1のマクロプロックは、表示装置において表示又は走査される第1の画素となる画素を含むマクロプロックである。代表的には、特定フレームの左上のマクロプロックである。

#### 【0085】

1実施形態では、特定のフレームの第1のマクロプロックが、メモリに記憶された基本ストリームから識別される。基本ストリームは、一般にMPEGストリームのようなデジタルビデオデータの受信結果としてメモリに記憶される。

#### 【0086】

10

20

30

40

50

ステップ 8 6 1 では、カレントマクロブロックに対して、D I P が生成される。1 実施形態では、D I P・O P コードと、メモリから D I P パケットのペイロード部にアクセスされるビデオデータ表現とを含むことによって、D I P が生成される。ここで O P コードは、D I P パケットがマクロブロック情報を含むことを示すものである。他の実施形態では、基本ストリームデータからアクセスされるマクロブロック情報をまず処理して、D I P に記憶する前にマクロブロックデータに対する特定のフォーマットを生成することが可能である。

#### 【0 0 8 7】

ステップ 8 6 2 では、カレント D I P がメモリに記憶される。1 実施形態では、カレント D I P は、フレームバッファに関連する巡回バッファに記憶される。この実施形態では、D I P は、ビデオ処理装置の次の部分によりすぐにアクセスされる。他の実施形態では、D I P はシステムメモリ資源、例えばビデオ処理装置による後のアクセスのためのハードディスク装置に記憶される。

#### 【0 0 8 8】

ステップ 8 6 3 では、カレント D I P 対するポインタが、D I P ポインタ位置に記憶される。D I P には、種々のサイズが可能であるから、カレント D I P が記憶されている場所を示すポインタをもつことによって、カレント D I P の位置を記録しておくことは、有用である。これにより、カレント D I P を次々に順番を変えてアクセスすることができる。ポインタは、予め決められた公知の方法により、メモリのポインタ位置に記憶される。例えば、ポインタのそれぞれは固定サイズとすることができ、これによりポインタ間は固定距離となる。特定のマクロブロックを生成するために必要とされるマクロブロックのみを、スケールバッファに取り込み、これによりスケールバッファに要求されるサイズを減少することが望まれる場合には、このことは有利である。

#### 【0 0 8 9】

ステップ 8 4 0 では、図 1 8 のフローが実行されたか否かについて判断する。1 実施形態では、特定のフレームの基本ストリームから D I P を生成することによって、データの 1 フレーム全体が処理された場合、またはもはや処理すべきデータがない場合、図 1 8 のフローがなされたことになる。処理がなされたときには、フローは終了する。そうでない場合はフローはステップ 8 6 4 に進む。

#### 【0 0 9 0】

ステップ 8 6 4 では、そのフレームの次のマクロブロックが、カレントマクロブロックとして識別される。1 実施形態では、次のマクロブロックは、走査順での次のマクロブロックである。他の実施形態では、次のマクロブロックは、アクセスが予想される次のマクロブロックである。例えば、アクセスされるべき次のマクロブロックは、スケーリング順での次のマクロブロックである。

#### 【0 0 9 1】

図 1 9 には、本発明の特定の実施形態による他の方法を示す。具体的には、ステップ 8 5 1 で、可変サイズの D I P が第 1 の順序で記憶される。この第 1 の順序は、走査順、またはスケーリング順、あるいはその他の順序に相当する。

#### 【0 0 9 2】

次いで、ステップ 8 5 2 で、記憶された D I P は、第 1 の順とは異なる第 2 の順でアクセスされる。例えば、D I P が、ステップ 8 5 1 で走査順に記憶される場合、D I P は、ステップ 8 5 2 でスケーリング順にアクセスされる。先に説明したように、D I P は、各 D I P が記憶されている場所を示す項目を有するポインタテーブルをもつことにより、異なる順でアクセス可能となる。したがって、D I P が、スケーリング順のような第 1 の順で記憶される場合でも、特定の D I P が始まる場所を決定するために、複数の D I P を通じてパーシングすることなく順に並んでいない D I P にアクセス可能である。特定の新たなマクロブロックを生成するのに必要なだけのマクロブロックがスケールバッファに記憶される実施形態においては、図 1 9 に示された特定の実施形態を具体化する実施形態は有利である。

## 【0093】

図3を参照すると、ビットマニピュレータ335が汎用データプロセッサ330に接続している。特定の実施形態では、汎用データプロセッサ330は、ここに説明される特定用途向け集積回路(A S I C)の一部として半導体装置に集積されたマイクロプロセッサ/マイクロコントローラ・コアである。同様に、ビットマニピュレータ335は、A S I Cに集積され、データのビット操作をサポートするために、プロセッサ330によりアクセス可能である。

## 【0094】

1 実施形態の動作では、プロセッサ330は、マイクロコントローラ340に読み出し要求を出す。プロセッサ330はさまざまな状況に応答する読み出し要求を生成可能である。そのような状況には、新たなアドレスのデータが要求されたとき、ビットマニピュレータにバッファリングされたデータが所定の水準に達したとき、およびプロセッサ330が、ビットマニピュレータにおけるデータ量が所定の数よりも少ないと判断するときなどがある。1 実施形態では、プロセッサ330は、ビットマニピュレータに関するレジスタを読み出して、ビットマニピュレータにおけるデータ量を決定することができる。他の実施形態では、プロセッサ330は、特定の量のデータが使用されたことを示す割り込みを、ビットマニピュレータから受けることにより、ビットマニピュレータにおける利用可能なデータ量を決定することができる。

## 【0095】

20 図示の具体例では、プロセッサにより要求されたすべてのデータは、ビットマニピュレータ335を介して戻される。なお、他の実施形態では、どのデータがビットマニピュレータ335を介して戻されるべきか、どのデータが直接プロセッサ330に戻されるべきかを、プロセッサ330がメモリコントローラ340に指示することは可能である。図示のように、データは、バス、例えば専用バス、リードバス、リード/ライトバスを介して、ビットマニピュレータ335に戻される。

## 【0096】

実施形態のこれに代る動作では、ビットマニピュレータ335はプロセッサ330とインターフェースをとって、それ自身のメモリ制御ロジックがメモリコントローラ340からデータを要求することができる。

## 【0097】

ビットマニピュレータ335によって受信されたデータは、引き続きプロセッサ330によってアクセスされる。1 実施形態では、データは、ビットマニピュレータ335に関連するレジスタを読み出すことにより、データプロセッサ330によりアクセスされる。例えば、数値Nをプロセッサ330のリードバスのバスサイズとして、1~Nまでの特定の数値を返すレジスタのセットを、ビットマニピュレータ335に備えることができる。さらに、ビットマニピュレータは、返されるデータの第1ビットの位置を示すビットオフセット・レジスタをもつことができる。他の実施形態では、データは、データサイズを指示する制御信号を与え、適切な制御情報を与えることにより、ビットマニピュレータからアクセスされる。

## 【0098】

40 図20は、ラインバッファ910と、ビットアクセスコントローラ905と、レジスタ930と、割り込みロジック920を含むビットマニピュレータ335の特定の具体例を示す。

## 【0099】

1 実施形態では、ラインバッファ910は、先入れ先出し(FIFO)として動作する巡回バッファであり、メモリコントローラ340を介してメモリから返されるデータを記憶する。1 実施形態では、受信データは、メモリからのデータバスのサイズに基づくサイズの1ワードをもつ。例えば、ラインバッファは、32ビット幅のデータワードを受信でき、そこではメモリ設定が32ビットのワードをサポートする。他の実施形態では、データバスのサイズは、汎用プロセッサ330のデータバスのサイズに基づく。

**【0100】**

ビットアクセスコントローラ335は、プロセッサ330からの特定のデータに対する要求を受信し、プロセッサのデータバスを介して要求された特定のビットを提供する。なお、プロセッサ330とビットマニピュレータ335間のデータバスのサイズは、メモリとビットマニピュレータ間のデータバスのサイズとは異なる。図示の例では、プロセッサ330へのデータバスは、16ビット幅のバスである。プロセッサ330からの要求に基づいて、1～16ビットのデータが返される。なお、最大値より少ないデータビットがプロセッサ330に返される場合、未使用ビットは、所定の設定、すなわち固定した設定または可変の設定に基づいて、1による充填または0による充填のいずれかが行なわれる。

**【0101】**

レジスタ930は、プロセッサ330によりアクセス可能で、ビットアクセスコントローラ905とラインバッファ910とに接続されて動作可能である。1実施形態では、明細書で詳細に説明するように、プロセッサ330は、ビットマニピュレータ335の状態を監視し、ビットマニピュレータ335に制御を与え、レジスタ930へのアクセスによりビットマニピュレータ335からのデータにアクセスする。

**【0102】**

割り込みロジック920を用いて、ビットマニピュレータ335で利用可能なデータ量を追跡する。1実施形態では、ラインバッファ910で所定量のデータが使用されるときは常に、1つの割り込みがプロセッサ330に加えられる。他の実施形態では、特定の数のデータがラインバッファ910から読み出された場合はいつも、割り込みの発生を指示するように、レジスタセット930からなるレジスタをプログラミングして、所定量のデータは、ユーザが選択可能となることができる。例えば、8ビット、16ビット、32ビット、64ビット、又は128ビットのデータが使用されたことを監視できるように、レジスタはプログラミングされる。他の実施形態では、ラインバッファに記憶されたカレンデータのバイトの合計が、レジスタセット930の1レジスタに保持される。

**【0103】**

プロセッサ330に対して、ラインバッファで利用できるデータ量を監視する方法を与えることにより、プロセッサ330が、メモリアクセス要求をメモリコントローラ340に行なうことができ、データがビットマニピュレータに保持されることを確実にする。また、プロセッサ330に対して、ラインバッファで利用できるデータ量を監視する方法を与えることにより、データ要求がビットマニピュレータ335に求められる前に、プロセッサ330によりキャッシュメモリでデータを利用できるようになる。この結果、ビットマニピュレータへの読み出しにより、キャッシュされるはずのデータアクセス要求がうまくいかないようであれば、プロセッサ330は、ビットマニピュレータへのデータ要求を逓らせることができる。

**【0104】**

図21は、図20の一部をより詳細に示すもので、レジスタセット930とラインバッファ810などを含む。

**【0105】**

レジスタセットは多くのレジスタを有し、これらのレジスタには、ラインバッファの記憶位置をもつアドレス範囲を特定するトップレジスタとベースレジスタが含まれる。テールレジスタは、データがアクセスされる予定のラインバッファの次の有効なラインを指定する。なお、ボインタは、データがアクセスされるラインバッファの実際のラインを指示してもよいし、またデータがアクセスされる実際のラインバッファラインからのオフセットである、ラインバッファのラインを指示するようにもできる。ヘッドレジスタは、有効なデータが記憶されるラインバッファの次に利用可能なラインを指定する。

**【0106】**

ビットオフセットレジスタは、アクセスされる次のビットのセットのうちの第1ビットに対するオフセットを示す。例えば、図21は、ビット3を指定するビットオフセットポ

10

20

30

40

50

1  
インタを示す。ビットオフセット値により指示されたビットは、ビットマニピュレータ出力によって左揃えされたビットである。なお、これに替わる実施形態では、戻されるビットは、右揃えすることもできる。

#### 【0107】

ウォータマークレジスタは、付加的データがラインバッファに取り込まれる時を指示する値を記憶する。ウォータマーク値は、テールポインタまたはヘッドポインタからのオフセットを指示するようにできる。オフセットは、テールポインタまたはヘッドポインタとそれぞれ比較されて、データをいつアクセスするかを決定できる。これに代えて、ウォータマーク値は、固定位置を指示することもでき、テールポインタと比較して、データをいつアクセスするかを決定することができる。さまざま実施形態でウォータマークを用いて、割り込みプロセッサ330の処理を初期化することでき、あるいはプロセッサ330がウォータマークおよびその他のレジスタを読み込んで、ビットマニピュレータに付加的データを取り込む時期を決定することができる。

#### 【0108】

先に説明したように、ラインバッファ・カウントレジスタは、ラインバッファに関連する有効なデータ量を指示する値を記憶する。例えば、ラインバッファ・カウントレジスタは、ラインバッファ910に記憶された、これからアクセス予定のバイト数を指示する。

#### 【0109】

図22は、ビットマニピュレータ535を通る機能データフローを示すブロック図である。メモリレーション955は、プロセッサ330のデータバスのサイズの少なくとも2倍のデータを記憶する。プロセッサ330に供給されるデータデータワードの第1ビットは、任意のビット位置に配置され得るので、この供給されるワードは次のカレントとなる2つのワード内に位置する可能性がある。マルチブレクサ950を使用して、ロケーション955の1ワードから次へ移行するビットオフセット値に応答して、次のワードを記憶ロケーション955に取り込む。図示された実施形態では、マルチブレクサ950への入力は、16ビット幅である。マルチブレクサ950に次の16ビットを供給するために、付加的ロジック(図示せず)を用いることは明らかである。

#### 【0110】

図23には、ビットオフセット値を更新する特定の実施形態をブロック図により示す。この実施形態では、カレントビットオフセット値と読み出されるビット数のサイズとを入力とするモジュロ加算器を示す。加算器の出力は、新たなビットオフセット値を提供する。

#### 【0111】

ビットシフト960は、ビットオフセットに基づいて、ロケーション955に記憶されたビット値を整列させて、ビットシフト960による出力データの左側のビットが、ビットオフセット値によって特定されるものであるようになる。マスク962は、データ要求によって特に要求されていないビットに対して、零を充填するかまたは1を充填する。例えば、1実施形態では、3ビットのデータが要求されている場合、それらは左に位置合わせされる一方、マスクは、右側の13ビットに零を充填する。

#### 【0112】

本発明の1実施形態では、Xを返送するビット数を特定するものとして、GET\_BIT(X)関数に応答して、ビットマニピュレータ335へのアクセスが行なわれる。内部レジスタおよびプロセッサ処理を用いないで、プロセッサ330が、ビットマニピュレータ335のレジスタに対応する特定のアドレス位置をアクセスする。例えば、16個のアドレス位置(レジスタ)を用いて、GET\_BIT(1)からGET\_BIT(16)までの16個の命令を実現できる。ここでは、ビットマニピュレータ335は、要求された量のデータを返送し、ビットオフセット値を含み、読み出されるデータ量によってインクリメントする、レジスタを適正に更新する。他の実施形態では、特定の数のビットにアクセスはするが、ビットオフセットレジスタあるいはテールレジスタをインクリメントしないビットマニピュレータに、付加的命令が与えられる。例えば、1実施形態では、テール

10

20

30

40

50

レジスタをインクリメントせずに、データの1ワード全体をアクセスする。

### 【0113】

先に説明した実施形態では、データ命令パケットは、マクロブロックデータをトランスクーダ350に送るために用いられる。例えば、ソースマクロブロック情報データは、トランスクーダ350で、DIPの一部として受信される。図3に戻ると、ビデオデータ（すなわち、ソース動きベクトルおよび量子化情報）は、メディアデータストリームの一部であり、装置303で受信され、後の処理のために用意されているデバイスマモリ390に記憶される。次に、システム303は、ソース動きベクトルを含む記憶されたデータを検索し、トランスクーダ250によって使用されるDIPを生成する。1実施形態では、DIPは、復号および符号化機能の動作を制御するために、トランスクーダ350で受信される。1実施形態では、第1のDIPは、ソース画素データを生成するために、デコーダで使用されるソースマクロブロック情報を含み、第2のDIPは、動きベクトル予測が実行されることを可能にする、エンコーダによって用いられるソース情報を含み、これは、2001年3月27に出願された係属中の特許出願であり、参照によりこの明細書に組み込まれる出願番号09/819, 147号の名称を「ビデオストリームの圧縮方法および装置」とする特許出願において説明されている。

### 【0114】

動きベクトルと量子化情報がDIPの一部として送信される場合、特定のマクロブロックに対するマクロブロック情報は、メモリコントローラ340とデバイスマモリ390との間で7回転送される。第1に、マクロブロック情報データを最初に受信したとき、第2に、デコーダDIPをアセンブルするために検索するとき、第3に、エンコーダDIPを記憶するとき、第5に、エンコーダDIPを記憶するとき、第6に、デコーダDIPがデコーダにアクセスされるとき、第7に、エンコーダDIPがエンコーダにアクセスされるときである。本開示によるこれに替わる実施形態が、ここに説明される。それは、マクロブロック情報が、メモリコントローラ340とデバイスマモリ390との間で送信される回数を減少させ、メモリ帯域量を減少させる者である。このようなメモリ帯域を有効に利用する代替実施形態は、図24～29で説明される。

### 【0115】

図24は、本発明の特定の実施形態を説明する方法を示す。図24の方法は、図3および図25～27を参照して説明される。ここで、図25は、ブロック図により、お互いに重畠されたソースおよびデスティネーションマクロブロックのビデオフレームを示し、図26は、ブロック図により、図24の方法に関連するデータのメモリマップを示す。

### 【0116】

図24に示された方法のステップ1010では、ソースビデオ情報が受信される。図3を参照すると、ソースビデオ情報は、メディアデータストリーム310の一部である。1実施形態では、ソースビデオ情報は、例えばMPEGタイプの情報に関するマクロブロック情報を含む。図25は、X×Yアレイで形成される多数のマクロブロックをもつ、細かい実線で描かれたソースフレームを示し、Xは、特定のマクロブロックを表わす数であり、Yは、マクロブロックの特定の行を表わす数である。例えば、ソースマクロブロック(1, 2)は、SMB(1, 2)とも表され、ソースフレームの列1および行2の双方に位置するソースマクロブロックである。

### 【0117】

ステップ1012では、ソースビデオ情報が記憶される。この特定の実施形態に関しては、ソースビデオ情報のマクロブロック情報部分に焦点を絞って説明する。図26は、ソースデータアレイが保存されているメモリマップを示す。1実施形態では、ソースデータアレイ内の各ノードは、特定のマクロブロックに関するマクロブロック情報とともに、対応するマクロブロックに対する特定のマクロブロック設定データ(MBCONF1G)を含む。図3を参照すると、ソースビデオ情報は、メモリ390に記憶されることが可能である。

## 【0118】

M B C O N F I G フィールドに記憶されたマクロブロック設定データは、特定のマクロブロックに関係する種々の情報を含む。例えば、M B C O N F I G フィールドは、動き補償動作が、順方向予測、逆方向予測、または双方方向予測のいずれかを用いて処理されるか否かを指示することができる。さらに、M B C O N F I G フィールドは、受信したソースビデオを復号あるいは符号化する後の目的に関連するあるいは有用な任意のタイプの情報を格納することができるばかりでなく、動きベクトルの第1または第2の最下位ビットが、使用される半画素精度の情報を識別するか否かを示すデータを記憶することができ、また、ピッチ・インジケータの値が、ソース動きベクトルアレイの次のノードにアクセスする方法を指示するために含まれるか否かを示すデータを格納することができます。

## 【0119】

ステップ1014では、デスティネーション・ピクチャ情報が受信される。一般に、デスティネーション・ピクチャ情報は、デスティネーション・ピクチャの解像度の情報をもつ。図25には、デスティネーション・ピクチャ情報を示す。ソースフレーム上に重ねた太字の破線を参照されたい。デスティネーションフレームは、M×Nアレイに配置された多数のマクロブロックをもつ。ここで、Mは、デスティネーションフレームのマクロブロックの列を表す数であり、Nは、デスティネーションフレームのマクロブロックの行を表す数である。例えば、デスティネーションマクロブロック(1, 2)またはD M B(1, 2)は、デスティネーションフレームの列1と行2の双方にあるデスティネーションマクロブロックである。

## 【0120】

ステップ1016では、インデックステーブルが、デスティネーションピクチャ情報とソースピクチャ情報とに基づいて作成される。特に、各デスティネーションマクロブロックを生成するために、どのソースマクロブロックをアクセスする必要があるかが判断される。例えば、デスティネーションピクチャが、ソースピクチャに関連してダウンスケールされる予定の場合、図25に示すように、ソースフレームからの複数のマクロブロックに、デコーダがデスティネーションマクロブロックを生成するのに必要な情報が含まれている。例えば、デスティネーション・マクロブロック(0, 0)、すなわち図26のアレイの左上部のデスティネーション・マクロブロックを生成するためには、デコーダ／エンコーダは、ソースクロロックS M B(0, 0)、S M B(0, 1)、S M B(1, 0)、S M B(1, 1)に対するソースマクロブロック情報を必要とする。デスティネーション・マクロブロックは、これらの各マクロブロックからの中の少なくともいくらかのデータを含むので、これらの4つのソースマクロブロックを必要とする。

## 【0121】

ソースおよびデスティネーションの画像解像度情報を基づいて、インデックステーブルが生成され、それは多数の項目をもち、各項目は、先にステップ1012で記憶されたマクロブロックのソース動きベクトルと量子化情報をに対するポインタをもつ。インデックステーブルの項目は、他のインデックステーブルに関連して配置され、インデックステーブルが、例えば最初の項目から最後の項目まで、予め定められた方法でアクセスされるとき、項目中のポインタが使用され、デコーダおよびエンコーダによって必要とされる順序で、ステップ1012で記憶されたソース動きベクトルをアクセスし、デスティネーションマクロブロック情報を生成する。

## 【0122】

ステップ1016で生成されたインデックステーブルは、メモリに記憶される。図26には、第1のマクロブロック情報（動きベクトル及び量子化情報を含む）インデックステーブルは、P O I N T E R \_ 1 から P O I N T E R \_ L A S T までを含む。P O I N T E R \_ L A S T は、ビデオデータの特定のフレームを完全に生成するためにアドレスしなければならないソースマクロブロックの最後の動きベクトルを指示する。図25の実施形態を参照すると、各デスティネーション・マクロブロックは、4つのソースマクロブロックからのデータを必要とし、したがって図26のインデックステーブル1の項目の総数は、

10

20

30

40

50

$M \times N \times 4$  である。

【0 1 2 3】

インデックステーブル項目は、特定のソースノードに対するポインタを含むことに加えて、生成されるべきデスティネーション・マクロブロックに関するラストソースマクロブロックを指示するフィールドを含む。このラストソースマクロブロック・インジケータは、デコーダ、またはエンコーダにより用いられ、デスティネーション・マクロブロックを生成するのに十分なソースデータが受信された時を判定することができる。

【0 1 2 4】

図 27 は、特定のインデックステーブルの内容を、テーブル形式で表したものである。図 27 の第 1 の列は、特定のインデックステーブルの項目位置を示し、第 2 の列は、どのデスティネーションマクロブロック情報が入力ポインタにより参照されるかを示し、第 3 の列は、新たなデスティネーション・マクロブロックを生成するために必要なラストソースマクロブロック情報にどの入力が対応するかを示す。第 3 列の「1」は、その項目が、特定のデスティネーションマクロブロックを生成するために必要な最後のソースマクロブロックであることを示す。

【0 1 2 5】

1 実施形態では、項目位置 1 は、図 26 に示されたソースデータアレイの第 1 項目に対応し、P O I N T E R \_ 1 を含む。なお、特定のソースマクロブロックは一般に、インデックステーブルの 1 より多くの項目により参照される。例えば、図 27 では、項目 2 や 20 および項目 5 の両方とも、ソースマクロブロック S M B (0, 1) を参照する。これは、ソースマクロブロック S M B (0, 1) が、デスティネーション・マクロブロック D M B (0, 0) や D M B (0, 1) の両方に必要なデータを含むからである。

【0 1 2 6】

ステップ 1 0 1 8 で、インデックステーブルの項目を参照する 1 以上のデータ命令パケットが生成される。一般に、データにアクセスしてデスティネーション・マクロブロックを生成するために、デコーダおよびエンコーダによって用いられるインデックステーブルの第 1 項目を、この D I P は参照する。なお、複数のデスティネーションターゲットが存在する場合には、付加的なインデックステーブルが生成され記憶される。マクロブロック情報データを一度に記憶し、デコーダとエンコーダが特定の順でベクトルにアクセスできるような複数のインデックステーブルを生成することにより、生成される各デスティネーションビクチャについて、メモリが 2 セットの D I P を保存しなければならない実施形態において、メモリ帯域を減少させることができる。

【0 1 2 7】

図 28 には、本発明による他の方法を示す。ステップ 1 0 5 0 では、第 1 のインデックステーブルが、アクセスされる。先に説明したように、インデックステーブルの順番により指定される順が、デスティネーションマクロブロックを生成するためには、それに従って特定のマクロブロック情報をすなわち 1 つのマクロブロック情報をアクセスしなければならない順となるように、インデックステーブルが格納されている。

【0 1 2 8】

ステップ 1 0 5 2 では、複数のソースマクロブロック情報が、第 1 のインデックステーブルの項目順に基づく第 1 の順にアクセスされる。図 27 を参照すると、第 1 の複数のソースマクロブロック情報が、I N D E X \_ T A B L E \_ 1 の項目内に記憶されたポインタ値に基づいてアクセスされる。ステップ 1 0 5 4 では、特定の画像データがステップ 1 0 5 2 でアクセスされたデータに基づいて生成される。1 実施形態では、デコーダは、アクセスされたマクロブロック情報を用いるソース画素セットを生成する。他の実施形態では、トランスクーダのエンコーダ部が、ステップ 1 0 5 2 でアクセスされたデータに基づいて予測された動きベクトルを生成する。

【0 1 2 9】

画素セットと予測された動きベクトルの生成は、一般にソース画素セットの生成と同時にリアルタイムで行なわれる。なお、同時リアルタイムということは、別個の処理モジュ

10

20

30

40

50

ールを用いて2つの機能を同時に（まったく同じ時に）行って、システムのリアルタイム要求に応じることを意味するか、あるいは1以上の処理モジュールを順次使用して、これによりその処理モジュールが2つの機能を十分速く実行して、両方の結果に依存するアプリケーションのリアルタイム要求に対処することを意味する。

#### 【0130】

例えば、ビデオアプリケーションの同時リアルタイムとは、デコーダからのソース画素とエンコーダからの予測された動きベクトルが十分速く生成され、所望のフレーム表示レートでデスティネーション・マクロブロックの生成に使用できることを意味する。例えば、特定のリアルタイム表示レートは、毎秒20、30、または60回である。

#### 【0131】

第2のデスティネーションシステムについて、ステップ1056、1058、および1060は、ステップ1050、1052および1058と類似している。例えば、2つのモニタが、ソース画像の表現を受信することができる。この特定の実施形態によると、附加的なソースデータすなわちソースマクロブロック情報の1つのコピーのみをメモリに格納するだけで、1以上のデスティネーション画像をサポートすることができるところが分る。

#### 【0132】

なお、ソース画像とデスティネーション画像間のスケーリングは、比較的頻繁に変更されるというものではないので、インデックステーブルは、一般に与えられた画像に対して静的である。ソースデータを記憶するために固定サイズノードを用いることによって、新たなソースフレームの各マクロブロックは、以前のマクロブロック・セットと同じマクロブロックフットプリントに記憶することができ、同じインデックステーブルを用いて、複数のフレームに対し変更なくマクロブロックデータにアクセスすることができる。

10

20

#### 【0133】

図29は、本発明による特定のシステムを示す。ビデオソースデータは、コントローラ部1102で受信され、コントローラ部1102は、入力ソースからのデータをパーシングし、少なくともソースマクロブロック情報の一部をメモリに記憶する役目をもつ。例えば、コントローラ1102は、図26に示すソースデータアレイ情報を記憶する役割を果たす。なお、マクロブロック情報を含むノードは、インデックステーブル項目のポインタ値に基づいて、個々にアクセスされるので、それらは、お互いに独立して記憶でき、アレに記憶される必要はない。1実施形態では、コントローラ1102は、プロセッサ330を用いるソフトウェアあるいはファームウェアで実現されることがある。

30

#### 【0134】

コントローラ1102は、メモリコントローラ1104とインターフェースをとり、メモリコントローラ1104は、このデータを記憶するためにメモリ1111とインターフェースをとる。さらに、コントローラ1102は、ビデオソースから情報を得て、受信したソースビデオ画像のサイズを決定する。このソースのサイズは、解像度および／または各ソースフレームを表現するために用いられるマクロブロックの数を示す。ソースイメージサイズは、メモリ1111の一部あるいはレジスタのようなメモリロケーションでもよいブロック915で記憶される。さらには、デスティネーション画像サイズは、第1のデスティネーション画像サイズについてはブロック1116に記憶され、第2のデスティネーション画像サイズについてはブロック1117に記憶される。デスティネーション画像サイズは、エンコーダ1106により生成される所望の出力ビクチャの解像度を含む。説明のために、ブロック1116に記憶された第1のデスティネーション画像サイズのみが参照されるとする。なお、2以上のデスティネーション画像を生成することが求められるなら、2以上のデスティネーション画像サイズ部が含まれることは明らかである。1実施形態では、コントローラ1104は、図3に示したメモリコントローラ340に対応する。同様に、メモリ1111は、特定の実施形態では、デバイスマモリ390に対応する。

40

#### 【0135】

インデックステーブル・ジェネレータ1109は、1115に記憶されたソースサイズ

50

および 1 1 1 6 に記憶されたデスティネーションサイズを受信し、また他方ではアクセスする。ソースサイズおよびデスティネーションサイズに基づいて、インデックステーブル・ジェネレータは、先に説明したフォーマットをもつインデックステーブルを生成する。メモリコントローラ 1 1 0 4 は、ジェネレータ 1 1 0 9 によって生成されたインデックステーブルの格納をメモリ 1 1 1 1 と連係させる。1 実施形態では、インデックステーブル・ジェネレータ 1 1 0 9 は、ソフトウェアあるいはファームウェアのコードを実行することにより、プロセッサ 3 3 0 によって実現されることができる。

#### 【0 1 3 6】

エンコーダ 1 1 0 6 は引き続き、メモリコントローラ 1 1 0 4 を用いて、インデックステーブル内の特定の項目のポインタを参照することにより、メモリ 1 1 1 1 に記憶されたソースマクロブロック情報を探索する。同様の方法で、デコーダはまた、メモリ 1 1 1 1 に記憶されたソースマクロブロック情報にアクセスすることができる。なお、エンコーダおよびデコーダは、特定の動きベクトルを得るために、メモリ 1 1 1 1 に対する共通の読み出しを可能にするように設計される。また、エンコーダおよびデコーダは、共通のキャッシュを共有して、メモリバスの使用を減少させる。1 実施形態では、エンコーダ 1 1 0 6 は、圧縮ブロック 3 6 5 (図 3) の一部によって実現でき、デコーダ 1 1 0 7 は、伸張ブロック 3 5 5 の一部によって実現できる。

#### 【0 1 3 7】

これまでの図の詳細な説明において、その一部である添付の図面が参照され、発明が実施された特定の好ましい実施形態が実例として示された。これらの実施形態は、当業者が本発明を実施することができるように、十分詳細に説明されている。また、他の実施形態が使用可能であること、本発明の精神または範囲から逸脱することなく、論理的、機械的、化学的そして電気的な変更が実行可能であることは明らかである。当業者が本発明を実施するために必要としない細部に立ち入ることのないように、当業者にとって公知である情報の説明を省略している。さらに、本発明を含む他の多様な実施形態は、当業者により容易に構成できる。したがって、本発明は、明細書に示された特定の形態に限られるものではなく、その反対に、代替例、修正例、および均等例を包含するものである。したがって、先の詳細な説明は、限定する意味ではなく、本発明の範囲は、添付の特許請求の範囲により規定される。

#### 【図面の簡単な説明】

#### 【0 1 3 8】

【図 1】本発明の少なくとも 1 つの実施形態による M P E G トランスコーダ・プロセッサを示すブロック図である。

【図 2】本発明の少なくとも 1 つの実施形態による M P E G トランスコーダ・プロセッサの動作を示すフローチャートである。

【図 3】本発明の少なくとも 1 つの実施形態による圧縮ビデオトランスコーディング・システムを示すブロック図である。

【図 4】本発明の少なくとも 1 つの実施形態によるベクトルプロセッサを示すブロック図である。

【図 5】本発明の少なくとも 1 つの実施形態による圧縮ビデオトランスコーディング・プロセッサの動作を示すフローチャートである。

【図 6】本発明の少なくとも 1 つの実施形態に開示されたトランスコーディング・システムを用いる方法を示す図である。

【図 7】本発明の少なくとも 1 つの実施形態によるデータ命令パケットを示す図である。

【図 8】図 3 の一部をより詳しく示す図である。

【図 9】図 3 の一部をより詳しく示す図である。

【図 10】ピクチャフレームに関するソース・マクロブロックとデスティネーション・マクロブロックとの関係を示す図である。

【図 11】本発明の特定の 1 実施形態の線形アドレス空間に記憶されたデータ命令パケットを示す図である。

10

20

30

40

50

【図 1 2】メモリ装置に記憶されたデータ命令パケット情報と、これに対応するスケールバッファに記憶されたマクロブロック情報を示す図である。  
1

【図 1 3】本発明の他の実施形態の線形アドレス空間に記憶されたデータ命令パケット情報を示す図である。

【図 1 4】デバイスマモリに記憶されたデータ命令パケット情報とデータ命令パケットポインタと、これに対応するスケールバッファに記憶されたマクロブロック情報を示す図である。

【図 1 5】本発明による特定の方法を示す図である。

【図 1 6】本発明による特定の方法を示す図である。

【図 1 7】本発明による特定の方法を示す図である。

10

【図 1 8】本発明による特定の方法を示す図である。

【図 1 9】本発明による特定の方法を示す図である。

【図 2 0】ピットマニピュレータの特定の実施形態をより詳細に示す図である。

【図 2 1】ピットマニピュレータのラインバッファとレジスタの特定の実施形態をより詳細に示す図である。

【図 2 2】ピットマニピュレータを通じた作用を示すデータフローを表すブロック図である。

【図 2 3】ピット・オフセット・ポインタを生成する特定の方法または装置をブロック図の形式で示す図である。

20

【図 2 4】開示した特定の実施形態による方法をフローチャートの形式で示す図である。

【図 2 5】1フレームのソースマクロブロックに重なった1フレームの決定マクロブロックをブロック形式で表現した図である。

【図 2 6】開示した特定の実施形態を実現するために用いられるメモリをブロック形式で示す図である。

【図 2 7】特定の実施形態による図 2 6 のメモリの一部に記憶されたデータを表形式で示す図である。

【図 2 8】開示した特定の実施形態による方法をフローチャートの形式フローチャート形式で示す図である。

【図 2 9】本発明によるシステムをブロック図の形式で示す図である。

,

### 【図 1】

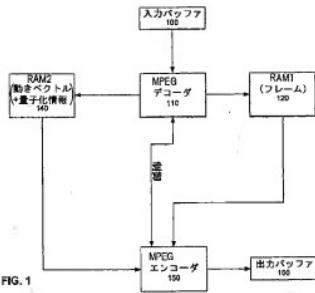
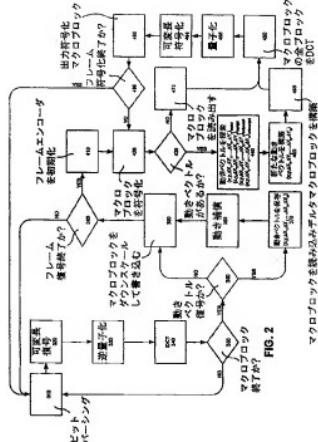


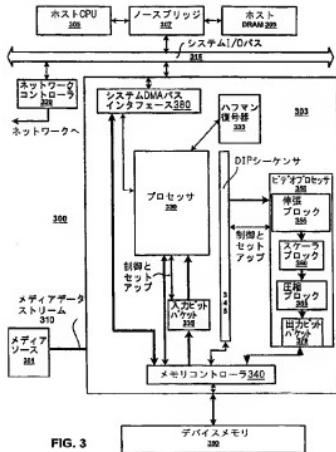
FIG. 1

【図2】



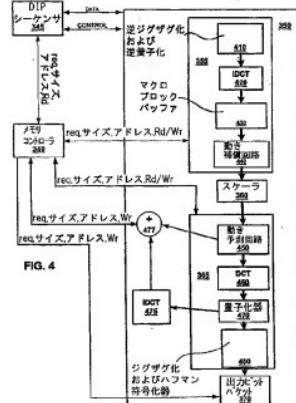
四〇二

[図3]

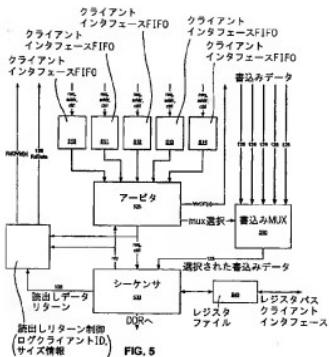


**FIG. 3**

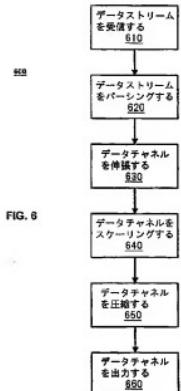
【図4】



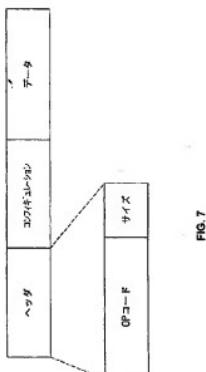
【図 5】



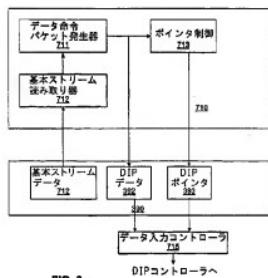
【図 6】



【図 7】



【図 8】



〔图9〕

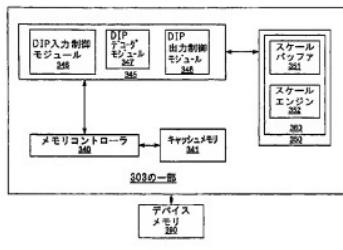


FIG. 9

[ 10 ]

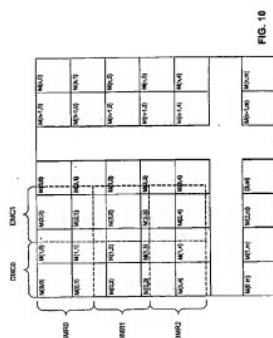
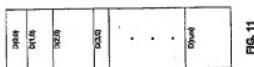


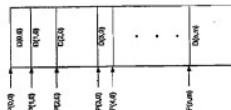
FIG. 10

【图 1-1】



નG. 11

【図 13】



13

【図 1-2】

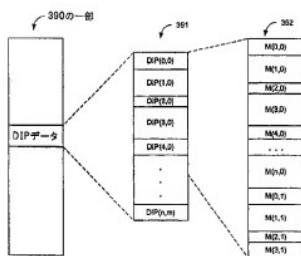
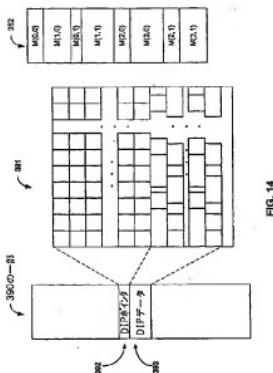
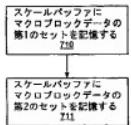


FIG. 12

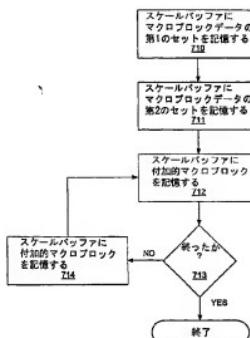
【図 1 4】



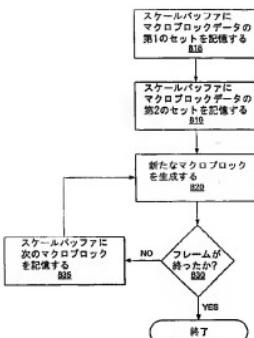
【図 1 5】



【図 1 6】



【図 1 7】



【図18】

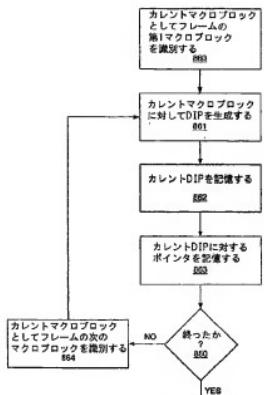


FIG. 1B

【図 19】

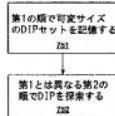


FIG. 1E

【図20】

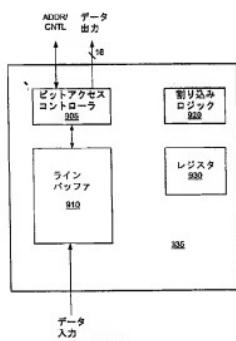
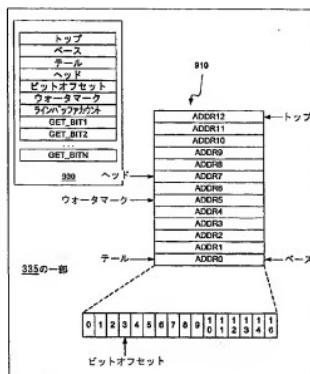


FIG. 20

[图 2-1]



**FIG. 21**

【図 2 2】

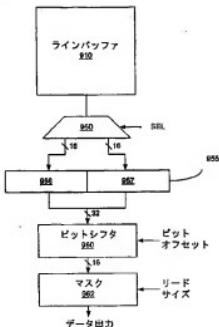


FIG. 22

【図 2 4】



FIG. 24

【図 2 3】



FIG. 23

【図 2 5】

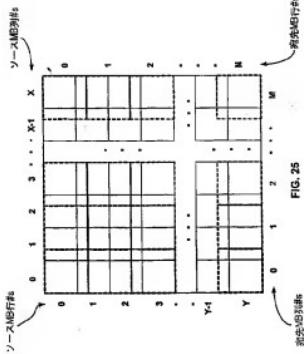


FIG. 25

【図 2 6】

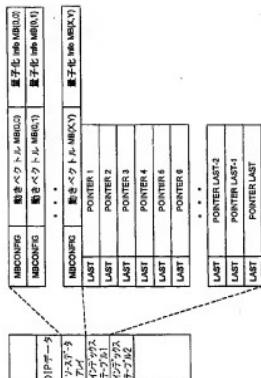


FIG. 26

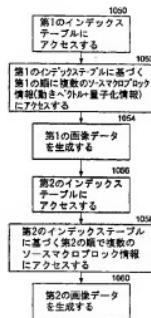
【図27】

項目位置	マクロブロック	リスト
1	{0,0}	0
2	{0,1}	0
3	{1,0}	0
4	{1,1}	1
5	{0,1}	0
6	{0,2}	0
7	{1,1}	0
8	{1,2}	1

\* \* \*

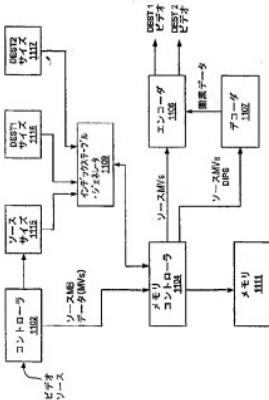
LAST-3	(M-1,N-1)	0
LAST-2	(M-1,N)	0
LAST-1	(M-1,N)	0
LAST	(M,N)	1

FIG. 27



**FIG. 2B**

【図29】



## 【國際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/CA 02/01713

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 HO4N7/26 HO4N7/50 G06T3/40

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 HO4N G06T

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)  
EPO-Internal, WPI Data, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Description of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TAKAHASHI K ET AL: "MOTION VECTOR SYNTHESES ALGORITHM FOR MPEG2-TO-MPEG4 TRANSCODER" PROCEEDINGS OF THE SPIE, SPIE, BELLINGHAM, VA, US, vol. 4310, 24 January 2001 (2001-01-24), pages 872-882, XP008000078 page 873, line 4 - line 8 page 873, line 12 - line 13 page 874, line 3 - line 7 page 875, line 8 - line 19 page 877, line 16 - line 25 figures 2-5	1,2,4-7
Y	---	12,13
A	---	3,8-11, 14-24 -/-

Further documents are listed in the continuation of box C  Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document during the period of time of the art which is not considered to be of particular relevance
- \*B\* earlier document but published on or after the International filing date
- \*C\* document which may throw doubt on priority, claims) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*D\* document referring to an oral disclosure, use, exhibition or other means
- \*E\* document published prior to the International filing date but later than the priority date claimed
- \*F\* later document published after the International filing date or shortly after and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*G\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to represent an inventive step if it were combined with this document
- \*H\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is used in combination with one or more other documents, such combination being obvious to a person skilled in the art
- \*I\* document member of the same patent family

Date of the actual completion of the International search  11 August 2003	Date of mailing of the International search report  21/08/2003
Name and mailing address of the ISA NL - European Patent Office, P.B. 5018 Patentlaan 2 NL - 2203 HV Rijswijk Tel. (+31-70) 340-2040, Tx 31 651 epo nl Fax. (+31-70) 340-0016	Authorized officer  Sampeis, M

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/CA 02/01713

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 222 886 B1 (YOGESHWAR JAY) 24 April 2001 (2001-04-24) column 1, line 52 - line 62 column 3, line 59 - line 65 column 4, line 1 - line 13 column 6, line 32 - line 37	14-16, 19, 22, 24 23
A	figures 1-3 -----	1-13, 17, 18
Y	YOUN J ET AL: "VIDEO TRANSCODING FOR MULTIPLE CLIENTS" PROCEEDINGS OF THE SPIE, SPIE, BELLINGHAM, VA, US, vol. 4067, 21 June 2000 (2000-06-21), pages 75-85, XP008012075 * Section 2.1. Cascaded Pixel-Domain Transcoding * * Section 4.1. Sparseness of DCT Block * * Section 5.1. Proposed point-to-multipoint transcoding with logo insertion * figures 1,4 -----	12, 13, 23
A	SHANABLEH T ET AL: "HETEROGENEOUS VIDEO TRANSCODING TO LOWER SPATIO-TEMPORAL RESOLUTIONS AND DIFFERENT ENCODING FORMATS" IEEE TRANSACTIONS ON MULTIMEDIA, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 2, no. 2, June 2000 (2000-06), pages 101-110, XP001104041 ISSN: 1520-9210 the whole document -----	1-24
A	EP 0 956 607 A (SARNOFF CORP) 10 November 1999 (1999-11-10) abstract page 2, paragraph 8 page 5, paragraph 35 figures 1,4A,4B claim 1 -----	1-13
X	EP 0 805 599 A (OKI ELECTRIC IND CO LTD) 5 November 1997 (1997-11-05) column 13, line 7 - line 44 column 21, line 43 -column 22, line 20 figures 17,18 -----	14-19, 22, 24 20, 21
A		

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/CA 02/01713

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6222886	B1	24-04-2001	NONE	
EP 0955607	A	10-11-1999	US 6310919 B1 BR 9910264 A BR 9910270 A BR 9910272 A CN 1301370 T CN 1302419 T CN 1369175 T EP 0955607 A2 EP 0955608 A1 EP 0955609 A1 EP 1076384 A1 EP 1078529 A1 EP 1078585 A1 JP 2000059795 A JP 2000050274 A JP 2000032463 A JP 2002514022 I JP 2002514023 T JP 2002514867 T TW 440804 B TW 420935 B TW 424389 B TW 416221 B WO 9957684 A1 WO 9957908 A1 WO 9957685 A1 US 6125147 A US 6374280 B1 US 6222944 B1	30-10-2001 02-10-2001 02-10-2001 02-01-2001 27-06-2001 04-07-2001 11-09-2002 10-11-1999 10-11-1999 10-11-1999 21-02-2001 28-02-2001 21-02-2001 25-02-2000 18-02-2000 28-01-2000 14-05-2002 14-05-2002 21-05-2002 16-06-2001 01-02-2001 01-03-2001 21-12-2000 11-11-1999 11-11-1999 11-11-1999 26-09-2000 16-04-2002 24-04-2001
EP 0805599	A	05-11-1997	JP 3423835 B2 JP 9298735 A EP 0805599 A2 US 5887061 A	07-07-2003 18-11-1997 05-11-1997 23-03-1999

---

**フロントページの続き**

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,CA,CN,CQ,CW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW)

(74)代理人 100082898

弁理士 西山 雅也

(72)発明者 ラクソーノ、インドラ

カナダ国, オンタリオ エル4シー 9ゼット7, リッチモンド ヒル, オールド ヒル ストリート 138

F ターム(参考) 5C059 KK15 MA00 MA05 MA23 MC11 MC38 ME02 NN10 NN28 RB01

RC00 RC16 SS03 UA02 UA05 UA38